robotron

HARDWARE
DOKUMENTATION

Betriebsdokumentation Heft 2

Personalcomputer EC 1834

2., überarbeitete Auflage
Karl-Marx-Stadt, 1988

(C) VEB Kombinat Robotron 1988

****

Betriebsdokumentation

H a r d - D i s k - C o n t r o l l e r (Typ 62-9315)
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Funktionsgruppen
4.2.1. Adressdecodierung
4.2.2. Pufferspeicher und Adresszähler
4.2.3. DMA- und INT-Anforderung
4.2.4. ECC-Generator
4.2.5. Festspeicher für ROM-BIOS
4.2.6. WDC-Schaltkreis 82Q62
4.2.7. Schreibsteuerung mit precompensation
4.2.8. Lesesteuerung mit Phasenregelkreis
4.2.9. Anpassung der Status- und Steuerleitungen
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

1.62.540126.6 (GER)
085-3-000
852.53.01.007

Stand: 03/88

1. Verwendung und Einordnung

Der Hard-Disk-Controller ist eine Steckkarte, welche den Anschluss von maximal zwei Hard-Disk-Drives 5,25" (Festplattenspeicher) an den Systembus des PC EC 1834 realisiert. Derzeitig ist jedoch nur der Einsatz eines Laufwerkes im PC vorgesehen.
Es können alle Typen von 5,25"-Festplattenspeichern angeschlossen werden, welche das international gebräuchliche Seagate-Interface ST 506/412 besitzen. Zur Serienausstattung des PC EC 1834 gehört der Festplattenspeicher K 5504.
Die Steuerung der wichtigsten Funktionen auf dem Controller übernimmt ein Controller-Schaltkreis. Er setzt u. a. die Paralleldaten vom Mikroprozessorsystem zu einem bitseriellen Datenfluss um (und umgekehrt) und liefert alle für die Steuerlogik erforderlichen Steuersignale.

2. Technische Daten

Steckkarte	360 mm x 100 mm MLL III
Steckverbinder	1 x Buchsenleiste X1 402-96 EBS-GO 4007 1 x Stecker X2 2-polig, Bauform 202 1 x Scotchflex-Steckerleiste X3 34-31-6302, 34-polig 1 x Scotchflex-Steckerleiste X4 3428-6302, 20-polig
Betriebsspannungen	5P (+5V $\pm$ 5%) 5N (-5V $\pm$ 5%) 00 (Masse)
Laufwerksinterface	entspr. Seagate ST 506/412
Datentransferrate	5 Mbit pro Sekunde
Aufzeichnungsverfahren	MFM
Sektorlänge	128 Byte/256 Byte/512 Byte, wobei das Betriebssystem DCP nur eine Sektorlänge von 512 Byte realisiert
Fehlererkennung	ECC-Zeichenbildung (hardwaremässig)

3. Konstruktiver Aufbau

Der Hard-Disk-Controller 062-9315 ist eine Mehrlagenleiterplatte der Grösse 360 mm x 100 mm. Die Verbindung zum Systembus des PC übernimmt die 96-polige indirekte Buchsenleiste X1. Über den Stekker X2 wird die separat in der Frontblende der Systemeinheit befindliche Hard-Disk-Anzeige gesteuert. Die vertikal angeordneten Steckerleisten X3 und X4 dienen dem Signalaustausch zwischen Controller und Festplattenspeicher. Während über X3 die Status- und Steuerleitungen geschaltet werden, ist X4 für die Datenleitungen zuständig.
Die Steckkarte ist so vorbereitet, dass zusätzliche Steckverbinder für ein weiteres Laufwerk eingelötet werden können bzw. über einen

z. Zt. noch nicht vorhandenen Prüfsteckverbinder (X6) ein Prüfgerät für die PLL-Einstellung angeschlossen werden kann.
Über Präzisionsfassungen steckbar sind der Controller-Schaltkreis WDC 82062 sowie ein 8 kByte-EPROM für den Hard-Disk-BIOS (physischer Gerätetreiber).

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Die wichtigsten Funktionsgruppen auf dem Hard-Disk-Controller sind:
- Adreßsdecodierung
- Pufferspeicher und Adresszähler
- DMA-/INT-Anforderung
- ECC-Generator
- Festspeicher für BIOS des Hard-Disk
- WDC-Schaltkreis 82062
- Schreibsteuerung mit precompensation
- Lesesteuerung mit Phasenregelkreis (PLL)
- Anpassung der Status- und Steuerleitungen

Blockschaltbild: siehe Extrablatt

4.2. Beschreibung der Funktionsgruppen

4.2.1. Adressdecodierung

Die Adressierung des HDC erfolgt über drei Decodierschaltkreise U205 [041...043]. Ausnahme bildet die Adressdecodierung für EPROM [022] und nachfolgendem Latch-Register [002], welche über ein NAND [013] realisiert wird.
Der festgelegte Toradressbereich liegt bei 320H...32Fh. Eine ausgewählte Adresse im E/A-Zyklus kann nur dann aktiv sein, wenn der DMA nicht arbeitet(AEN=0).
Folgende Festlegungen gelten:

Toradresse	
320H	Bildung CS des Pufferspeichers [004,005]
321H	Bildung Übernahmesignal des 1. Registers für Steuerleitungen [061]
322H	Bildung Übernahmesignal des 2. Registers für Steuerleitungen [062]
323H	Bildung DRQ3 (DMA-Anforderung) [044]
324H	Auslesen der ECC-Zeichen [014]
325H	Abfrage der Konfigurationsschalter [052]
326H	Aktivschalten von Steuersignalen f. HD [044]
327H	Sperren der Takteingänge der Adresszähler [007,017]
328H	Registeradressierung im WDC-Schaltkreis [064]

4.2.2. Pufferspeicher und Adresszähler

Da zwischen dem DMA bzw. der CPU und dem WDC-Schaltkreis keine Synchronisation möglich ist, müssen die zu übertragenden Daten zwischengepuffert werden. Der dafür erforderliche Pufferspeicher besteht aus zwei statischen RAM-Schaltkreisen und hat die Grösse von 1 K x 8 bit.

Die Adressierung des Speichers wird über drei Zähler realisiert [006,007,017], deren Zählerstand mit jedem Schreib- bzw. Lesezyklus der CPU, des DMA bzw. des WDC-Schaltkreises um eins erhöht wird. Das Rücksetzen erfolgt vor jeder Datenübertragung durch den Controllerschaltkreis (/BCR=0) bzw. softwaremässig über die CPU.
In Abhängigkeit vom Potential am Eingang /WE der Speicherschaltkreise werden die Daten des internen Datenbusses in die ausgewählte Adresse eingeschrieben bzw. von dieser Adresse auf den Datenbus gelegt.

4.2.3. DMA- und INT-Anforderung

Durch einen I/O-Befehl mit der Adresse 323H wird das FF 044 gesetzt und damit das DMA-Anforderungssignal DRQ3 erzeugt. Das Rücksetzen dieses FF's erfolgt bei der Übertragung des letzten Bytes mit den DMA-Signalen /DACK3 und TC.
Eine Interrupt-Anforderung wird seitens des WDC über die Leitung IRQ5 gemeldet. Dieses Signal kann durch Aktivieren der Ausgänge INT oder BDRQ (Buffer Data Request) vom Controller-Schaltkreis gebildet werden.

4.2.4. ECC-Generator

Gleichzeitig mit dem Beschreiben des Pufferspeichers vom WDC-Schaltkreis, von der CPU oder von der DMA wird eine ECC-Zeichenberechnung nach dem Polynom $X^{32}+X^{28}+X^{26}+X^{19}+X^{17}+X^{10}+X^{6}+X^{2}+1$ durchgeführt. Jeweils ein Byte wird in das Schieberegister 014 des ECC-Generators übernommen und mit acht Takten durch den Generator geschoben.
Neben dem Schieberegister 014 zur Parallel-Serien-Wandlung und umgekehrt gehören zum ECC-Generator weitere vier Schieberegister in serieller Arbeitsweise [053...056], deren Ausgänge an einen Paritätsdecoder [057] geführt sind. Die Freigabe der Taktierung mit dem negierten 10 MHz-Takt erfolgt durch Setzen des FF 046. Nach vier Takten werden, ausgelöst vom Zähler 027, die FF's zurückgesetzt. Nach weiteren vier Takten wird die Taktierung gesperrt. Dieser Ablauf wiederholt sich bei der Übernahme eines jeden Bytes.
Handelt es sich um eine Datenübertragung vom Rechner zum Hard-Disk, werden die Daten eines gesamten Sektors (512 Byte) durch die DMA oder durch OUT 320H in den Pufferspeicher geschrieben. Die ECC-Zeichenberechnung erfolgt während der Übertragung automatisch. Anschliessend werden softwaremässig drei Blindbytes (00H) in den Pufferspeicher eingetragen. Über alle 512 Bytes werden vier ECC-Zeichen berechnet, welche jetzt durch 5 x IN 324H über das Schieberegister 014 ausgelesen werden. Dabei ist das erste ausgelesene Byte zu verwerfen. Diese vier ECC-Zeichen gelangen ebenfalls in den Pufferspeicher. Damit stehen zur Übertragung eines Sektors auf den Hard-Disk insgesamt 519 Byte im Pufferspeicher zur Verfügung.
Die Datenübertragung vom Hard-Disk zum Rechner ist ähnlich. Ist die Bereitschaft zur ECC-Zeichenberechnung hergestellt, kann die Sektorübertragung vom WDC gestartet werden. Der WDC-Schaltkreis gewährleistet, dass bei gleichzeitiger Berechnung der ECC-Zeichen alle 519 Byte in den Pufferspeicher eingeschrieben werden. Nach Beendigung der Übertragung meldet der WDC-Schaltkreis Interrupt, und die ECC-Zeichen werden analog dem oben beschriebenen Vorgang ausgelesen. Haben dabei alle vier ECC-Bytes den Inhalt 00H, erfolgte die Übertragung fehlerfrei. Ist dies nicht der Fall, muss

eine softwaremässige Korrekturrechnung durchgeführt werden, wobei einmalige Fehlerbündel bis zu elf Bit korrigierbar sind. Für die Korrekturrechnung steht eine 1 KByte lange ECC-Tabelle im ROM-BIOS-Teil des Hard-Disk zur Verfügung.

4.2.5. Festspeicher für ROM-BIOS

Entsprechend der international üblichen Praxis wurde der physische Gerätetreiber für den HDC in einem Festwertspeicher auf dem Hard-Disk-Controller selbst untergebracht. Die Aktivierung der Schaltkreise 022 und 002 erfolgt wie unter 4.2.1. beschrieben.

4.2.6. WDC-Schaltkreis 82062

Der Kern des Hard-Disk-Controllers ist der Schaltkreis 82062. Er realisiert u. a. folgende Aufgaben:
- Parallel-Serien-Wandlung (MFM-codiert, 5 MBit/s)
- Serien-Parallel-Wandlung (1,6 us/Byte)
- Markenerkennung
- CRC-Zeichen-Erzeugung und -Kontrolle für ID-Feld
- Generierung von Steuersignalen für den Hard-Disk
- Empfangen von Statussignalen vom Hard-Disk
- Erzeugung von Steuersignalen für die Schreiblogik und PLL
- Erzeugung von Steuersignalen für den Pufferspeicher

Der Schaltkreis kann folgende sechs Befehle nach Parameterübergabe durch die CPU ausführen:

- Restore	Positionieren auf Spur 00
- Seek	Positionieren auf eine gewünschte Spur
- Read Sector	
- Write Sector	
- Scan ID	Lesen eines beliebigen ID-Feldes
- Write Format	Formatieren einer Spur

Beschreibung der Prozessorschnittstelle des WDC 82062

Über einen 8-bit-bidirektionalen Datenbus ist die Verbindung von der CPU zum Datenpuffer gewährleistet. Ist das Signal /BCS=LOW, kann der Prozessor auf den Puffer, den WDC bzw. die E/A-Ports zugreifen. Ist /BCS inaktiv, führt der Controller-Schaltkreis eine Datenübertragung aus, und die Steuersignale /IOR und /IOW werden vom Bus entkoppelt, so dass der WDC mit seinen Signalen /RD bzw. /WR auf den Datenpuffer sequentiell zugreifen kann. Vor jeder Datenübertragung wird der Pufferzähler mit dem Signal /BCR auf Null gesetzt.

Beschreibung der WDC-Schnittstelle zum Hard-Disk-Laufwerk

Wenn keine Daten erwartet werden, ist das Signal RG inaktiv auf LOW, und die PLL läuft am fixen Takt von 10 MHz. Das Monoflop 092 bildet durch ankommende Lesedaten 250 ns breite Impulse. Am Beginn des Lesevorganges erscheinen, bedingt durch Vornullen, aller 200 ns Takte. Damit wird das Monoflop ständig nachgetriggert, und die Leitung DRUN schaltet nach HIGH. Erkennt der WDC dieses Potential über mindestens zwei Byte Länge (3,2 us), schaltet er das Signal RG aktiv nach HIGH, und die PLL läuft an den Lesedaten. Dieser Vorgang wird wieder umgekehrt, wenn DRUN sein Potential erneut

ändert.
Eine Ausnahme bildet die Markenerkennung. War das Signal DRUN mindestens neun Byte lang aktiv, und der WDC empfängt vom Hard-Disk eine ID-Feld-Marke (A1), bleibt RG während des Lesens des gesamten ID-Feldes aktiv, unabhängig vom Potential auf der Leitung DRUN. Analog verläuft der Vorgang beim Erkennen einer Datenfeld-Marke (A1,F8).

4.2.7. Schreibsteuerung mit precompensation

Ein Taktgenerator erzeugt einen quarzstabilen Takt von 10 MHz [Q1,067]. Dieser wird durch ein FF geteilt, und es entsteht der Schreibtakt WCL mit einer Frequenz von 5 MHz.
Der WDC-Schaltkreis gibt bei Abarbeitung eines Schreibbefehls die Schreibdaten WDA seriell aus und stellt dazu die Informationen /E (early) und /L (late) bereit, um den Schreibimpuls gegebenenfalls um 10 ns- bzw. 15 ns-Einheiten zu verschieben. Die WDA-Impulse werden über einen Verzögerungsschaltkreis [093] geleitet, an welchem diese in 5 ns-Verzögerungsstufen wieder abgegriffen werden können. Ein 1-aus-8-Multiplexer [103], der durch EARLY, LATE und INPRE adressiert wird, bestimmt letztendlich, um wieviel Nanosekunden Verzögerung die Schreibdaten zum Sendeschaltkreis 2631 [127] und somit zum Hard-Disk gelangen können. Eine zeitliche Verschiebung bestimmter Schreibimpulse ist in Abhängigkeit vom Hard-Disk erforderlich, um physisch bedingte Eigenschaften des magnetischen Speichermediums auszugleichen.

Folgende Verzögerungen können in der precompensations-Schaltung erreicht werden:

	normale PRE	+ zusätzlich INPRE
1. Grundstellung PRE=LOW /E=HIGH, /L=HIGH	15 ns	20 ns
2. Schreibimpuls später PRE=LOW /E=HIGH, /L=LOW	25 ns	35 ns
3. Schreibimpuls früher PRE=HIGH /E=LOW, /L=HIGH	5 ns	5 ns

Über die Leitung PRE wird softwaremässig festgelegt, ab welcher Spur des Hard-Disk die precompensation wirken soll. Bei PRE=LOW findet keine Impulsverschiebung statt; damit sind die Verzögerungswerte der Grundstellung gültig. In Abhängigkeit vom Typ des Hard-Disk-Drive kann ebenfalls softwaremässig festgelegt werden, ob eine intensive precompensation durchgeführt werden muss (INPRE=HIGH).

4.2.8. Lesesteuerung mit Phasenregelkreis

Die Lesedaten gelangen vom Hard-Disk über den Empfängerschaltkreis 2632 [126] zu einem Multiplexer [113], welcher selektiert, ob es Daten vom Laufwerk 0 oder 1 sind. Entsprechend der Beschreibung unter Punkt 4.2.6. wird über DRUN=HIGH das Signal RG aktiv. Der Multiplexer 113 gibt die Lesedaten zum Verzögerungsglied [093] und zur PLL frei.
Die um etwa 60 ns verzögerten Lesedaten setzen das erste Leseda-

ten-FF [077]. Mit dem von der PLL erzeugten synchronen Lesetakt wird die Information des ersten Lesedaten-FF in das zweite Lesedaten-FF [077] übernommen und das erste Lesedaten-FF wieder zurückgesetzt. Der Ausgang des zweiten Lesedaten-FF's bildet die Lesedaten RDA für den WDC 82062.
Aus dem 10 MHz-PLL-Takt wird durch FF 087 ein um 90 Grad zu den Lesedaten phasenverschobener 5 MHz-Takt gebildet, welcher den Lesetakt RCL des Controller-Schaltkreises darstellt.

Arbeitsweise des Phasenregelkreises (PLL)

Die PLL, die aus einem Phasendiskriminator, einem Tiefpass, einem Pegelwandler und einem spannungsgesteuerten Oszillator (VCO) besteht, dient zur Erzeugung eines 10 MHz-Taktes, der phasensynchron zu den Lesedaten ist. Eine solche Schaltung ist erforderlich, um eventuelle Gleichlaufschwankungen des Hard-Disk auszugleichen.
Der Phasendiskriminator wertet über die FF's 086 die Phasendifferenz zwischen VCO-Takt und den um 60 ns verzögerten Lesedaten aus. Die Potentiale dieser Flip-Flops steuern über Transistoren einen Tiefpass. Der Pegelwandler setzt das integrierte Signal in einen Spannungsbereich um, der dem Arbeitsbereich des VCO entspricht. Der VCO schwingt entsprechend der angelegten Spannung auf einer Frequenz von 10 MHz ± 30%. Liegen keine Lesedaten an, synchronisiert sich die PLL auf den 10 MHz-Quarztakt. Mit dem Signal RG=HIGH werden die Lesedaten an den Phasendiskriminator geführt, und die PLL synchronisiert sich auf die Lesedaten.

4.2.9. Anpassung der Status- und Steuerleitungen

Die Steuersignale für den Hard-Disk, welche vom Controllerschaltkreis bzw. vom Register 1 für Steuerleitungen [061] bereitgestellt werden, müssen über Schaltkreise 7438 [081,091,101] getrieben werden.
Die Statussignale vom Hard-Disk werden über Widerstände leitungsmässig angepasst und durch Schmitt-Trigger vom Typ DL 014 [102] empfangen.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	Bezeichnung
1	/DS0, /DS1	drive select 0, drive select 1
2	5P	5 V positiv

Steckverbinder X3:

PIN	Kurzzeichen	Bezeichnung
1	00	ground
2	/RCW	reduce write current
3	00	
4	/HS2^2	head select 2^2
5	00	
6	/WG	write gate
7	00	
8	/SC	seek complete
9	00	
10	/TR00	track 00
11	00	
12	/WF	write fault
13	00	
14	/HS2^0	head select 2^0
15	00	
16		
17	00	
18	/HS2^1	head select 2^1
19	00	
20	/IX	index
21	00	
22	DRDY	drive ready
23	00	
24	/STEP	step
25	00	
26	/DS0	drive select 0
27	00	
28	/DS1	drive select 1
29	00	
30		
31	00	
32		
33	00	
34	DIR	direction

Steckverbinder X4:

PIN	Kurzzeichen	Bezeichnung
1		
2	00	ground
3		
4	00	
5		
6	00	
7		
8	00	
9		
10		
11	00	
12	00	
13	+WRDA	+ write data
14	-WRDA	- write data
15	00	
16	00	
17	+RDDA	+ read data

PIN	Kurzzeichen	Bezeichnung
18	-RDDA	- read data
19	00	
20	00	

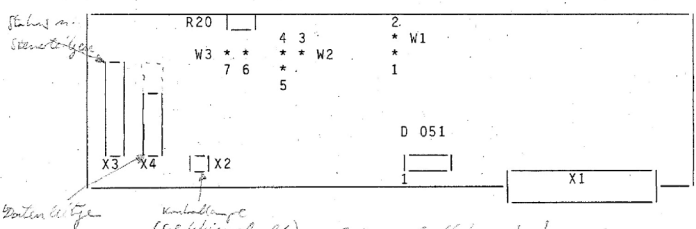
6. Einstellvorschrift

6.1. DIL-Schalter 051

Durch unterschiedliche Schalterstellungen werden verschiedene ROM-BIOS-Tabellen ausgewählt. Damit ist es möglich, unterschiedliche Hard-Disk-Typen im PC EC 1834 einzusetzen.
Bei Einsatz des Hard-Disk K5504 sind alle vier Einzelschalter in die Stellung "EIN" zu bringen.

6.2. Einstellung der PLL

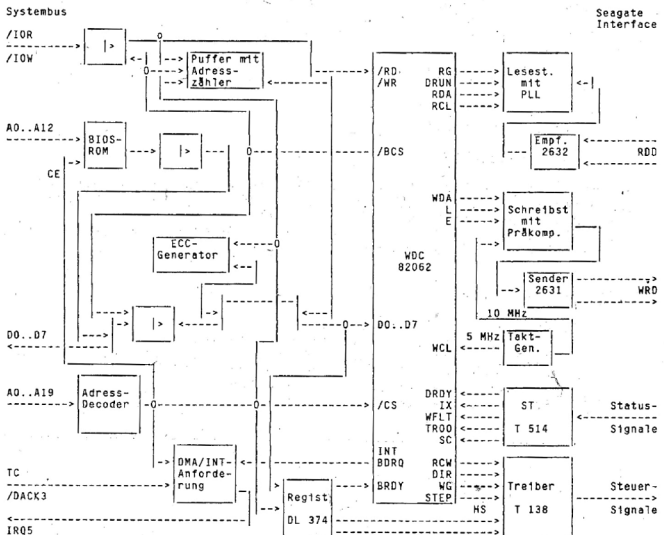
1. Öffnen der Brücken W1 und W3
2. Versetzen der Brücke W2 in Stellung 4-5
3. Über R20 wird der VCO [114] so eingestellt, dass sich am Ausgang 10 eine Frequenz von 10 MHz einstellt.
4. Rücksetzen der Brücke W2 in Stellung 3-4
5. Schliessen der Brücken W1 und W3



7. Wartungsvorschrift

Der HDC ist wartungsfrei.

Blockschaltbild HDC



****

Betriebsdokumentation

H a r d - D i s k K 5504 der Geräteserie VS
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Einschaltvorgang
4.2. Laufwerksauswahl
4.3. Spurzugriff
4.4. Kopfauswahl
4.5. Index - Erkennung
4.6. Leseoperation
4.7. Schreiboperation
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

Hinweis!
Diese Dokumentation befindet sich weiter in Bearbeitung und wird nach Vorliegen zusätzlicher Angaben seitens des Entwicklers vervollständigt.

1.62.540125.8
085-3-000
853.53.01.002

Stand: 11/87

1. Verwendung und Einordnung

Der Hard-Disk ist ein leistungsfähiger Festwertspeicher, welcher auf drehenden, nicht herausnehmbaren starren magnetischen Platten Massendaten aufzeichnen und wiedergeben kann. Dazu werden leichte "fliegende" Schreib-/Leseköpfe benutzt, welche ähnlich wie beim Floppy-Disk genau positioniert werden können.
Der Hard-Disk K5504 ist ein Gerät in slim-line-Ausführung mit einer Kapazität von über 50 MByte unformatiert. Im PC EC 1834 wird er als Laufwerk C angesprochen und dient sowohl der Speicherung des Betriebssystems als auch beliebiger Programme und anderer Daten.

2. Technische Daten

Kapazität (unformatiert)	51,25 MByte	pro Laufwerk
	62,496 kByte	pro Zylinder
	10,416 kByte	pro Spur
Kapazität (formatiert)	42,82 MByte	pro Laufwerk
	52,224 kByte	pro Zylinder
	8,704 kByte	pro Spur
	512 Byte	pro Sektor
	17 Sektoren	pro Spur
physischer Aufbau	4920 Spuren	
	820 Zylinder	
	6 Schreib-/Leseköpfe	
	3 M-Platten	

funktionelle Spezifikation

- Umdrehungsgeschwindigkeit	3600 U/min. ± 0,5%
- Aufzeichnungsverfahren	MFM
- Aufzeichnungsdichte	9935 BPI
- Spurdichte	777 TPI
- Interface	SEAGATE ST 506/412
- Datenübertragungsrate	5 MBit/s

Zugriffszeiten (einschl. Einstellung Beruhigung)

- von Spur zu Spur	8 ms
- durchschnittl. Zugriffszeit	40 ms
- voller Hub	95 ms
- durchschnittl. Latenzzeit	8,33 ms

Umgebungsbedingungen bei Betrieb

- Umgebungstemperatur	10 ... 45 Grad C
- Temperaturgradient	10 Grad C/h
- relative Luftfeuchtigkeit	8 ... 80% nicht kondensierend

Leistungsbedarf

- +12V ± 5%	mit 0,6A typ. 2,0A bei Anlauf
- +5V ± 5%	mit 0,96A typ.
- Leistung:	12W

Abmessungen / Masse

- Höhe	41,4 mm
- Breite	146,1 mm
- Tiefe	203,2 mm
- Masse	1,4 kg

3. Konstruktiver Aufbau

Die Magnetplatten des Hard-Disk einschliesslich der Köpfe und des Antriebes sind staubdicht verkapselt und von aussen nicht zugänglich. Auf der Unterseite ist die Elektronikleiterplatte montiert, welche zwei direkte Steckverbinder für Datenleitungen und Status- bzw. Steuersignale besitzt. Zusätzlich ist ein 4-poliger indirekter Steckverbinder für den Betriebsspannungsanschluss sowie ein Brückenstecker für die Laufwerksauswahl angebracht.
Die Frontseite ist mit einer Plastblende verkleidet, in welcher eine LED den Zugriff auf das Laufwerk anzeigt.

4. Funktionsbeschreibung

4.1. Einschaltvorgang

Sobald die Betriebsspannung 12P zugeschaltet ist, beginnt die Rotation der Magnetplatten. Ist eine Umdrehungsgeschwindigkeit von 666 U/min. erreicht, werden über den Spindelmotor die Köpfe auf Zylinder 00 eingestellt bzw. nachgeeicht (Rekalibrierung <5s). Dabei muss das Eingangsschrittsignal inaktiv sein.
Der Hard-Disk schaltet jetzt nacheinander seine Statussignale /TR00, /SC und /DRDY aktiv. Bevor die Bereitschaft nicht über die READY-Leitung zum Controller gemeldet ist, können keine Lese-, Schreib- oder Suchfunktionen ausgeführt werden.
Der typische Zeitraum, in dem /DRDY nach dem Einschalten LOW wird, beträgt ca. 18s.

4.2. Laufwerksauswahl

Die Signalleitungen /DS0 bzw. /DS1 haben nur Bedeutung, wenn mehrere Drives an einem Rechner angeschlossen sind. Da beim PC EC 1834 der Anschluss von nur einem Hard-Disk vorgesehen ist, aktiviert der HDC nur die DRIVE SELECT-Leitung /DS0. Dieses Signal wird im Laufwerk wirksam, wenn der Brückenstecker entsprechend programmiert würde. Damit ist das Laufwerksinterface mit den Steuer- und Statusleitungen des Controllers verbunden.

4.3. Spurzugriff

Eine Lese-/Schreibkopfpositionierung erfolgt nur unter der Voraussetzung, dass READY und SEEK COMPLETE aktiv sind (/DRDY und /SC = LOW) und WRITE GATE vom HDC inaktiv geschaltet ist (/WG = HIGH).
Jeder Schrittimpuls auf der /STEP-Leitung veranlasst die Köpfe, sich in Abhängigkeit vom Pegel der DIRECTION-Leitung einen Zylinder nach innen oder aussen zu bewegen.

/DIR = LOW ---> Kopfpositionierung nach innen in Richtung Zylinder 820
/DIR = HIGH ---> Kopfpositionierung nach aussen in Richtung Zylinder 00

Während der Kopfbewegung darf die Richtung nicht geändert werden!
Um Zeit zu sparen, wird ein gepufferter Suchvorgang durchgeführt. Dabei speichert das Laufwerk die ankommenden STEP-Impulse und führt nach dem letzten empfangenen Impuls den Suchvorgang als eine Bewegung aus. Während dieser Bewegung schaltet /SC inaktiv auf HIGH.
Sind die Lese-/Schreibköpfe auf der abschliessenden Spur am Ende eines Suchvorganges eingestellt, wird über SEEK COMPLETE = LOW dem

HDC diese Tatsache mitgeteilt.
/SC wird in drei Fällen inaktiv (HIGH-Pegel):
- Nacheichung der Köpfe auf Zylinder 00 beim Einschalten
- 100 ns nach der Vorderflanke eines oder mehrerer Schrittimpulse
- kurzzeitiger Einbruch der Betriebsspannungen

4.4. Kopfauswahl

Über die Leitungen HEAD SELECT 2^0 ... 2^2 ist es möglich, in binär codierter Folge die Auswahl eines Lese-/Schreibkopfes zu realisieren. Die Köpfe sind numeriert von 0 bis 5. Sind alle Leitungen /$HS2^0$ ... /$HS2^2$ inaktiv, wird Kopf 0 ausgewählt.

4.5. Index - Erkennung

Das Signal /IX wird vom Laufwerk einmal bei jeder Umdrehung abgegeben, um den Anfang einer Spur anzuzeigen. Es erscheint bei Nenndrehzahl aller 16,67 ms. Im Grundzustand führt dieses Signal HIGH-Pegel. Der Index-LOW-Impuls ist ca. 1,5 ms lang, wobei die Vorderflanke den Index im HDC anzeigt.

4.6. Leseoperation

Unter den Bedingungen
- Laufwerk im READY-Zustand
- Kopf ausgewählt
- WRITE GATE - Leitung inaktiv (/WG = HIGH)

können Daten vom Hard-Disk gelesen werden.
Die Daten, welche beim Lesen einer zuvor aufgezeichneten Spur gewonnen werden, gelangen über das Differential-Leitungspaar +RDDA und -RDDA zum Hard-Disk-Controller.

4.7. Schreiboperation

Unter den Bedingungen
- Laufwerk im READY-Zustand
- Kopf ausgewählt
- WRITE GATE - Leitung aktiv (/WG = LOW)
- kein WRITE FAULT - Zustand

können Daten auf den Hard-Disk geschrieben werden.
Die seriell vom Hard-Disk-Controller ausgegebenen Schreibdaten gelangen über das Differential-Leitungspaar +WRDA und -WRDA zum Laufwerk.
Das Signal WRITE FAULT (/WF) wird benutzt, um einen am Drive existierenden Zustand anzuzeigen, durch den Fehler beim Schreiben auf die Platte auftreten könnten.
/WF = LOW bedeutet: Verhinderung des Schreibens, bis intern im Hard-Disk dieser Zustand behoben ist.
Es werden vier Zustände erkannt:
- Schreibstrom in einem Kopf, obwohl /WG = HIGH bzw. kein Schreibstrom bei /WG = LOW
- mehrere Köpfe ausgewählt, kein Kopf ausgewählt bzw. Kopf falsch ausgewählt
- Betriebsspannungen weichen stark vom Toleranzbereich ab
- kein SEEK COMPLETE mit WRITE GATE aktiv

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Das elektrische Interface am Hard-Disk K5504 wird über drei Steckverbinder realisiert:

- Steckverbinder für die Steuer- und Statussignale
  (34-polig direkt im 1/10"-Raster, Kodierschlitz zwischen Pin 4 und 6)

PIN	Kurzzeichen	Bezeichnung
1	00	ground
2	/RCW	reduce write current
3	00	
4	/HS2^2	head select 2^2
5	00	
6	/WG	write gate
7	00	
8	/SC	seek complete
9	00	
10	/TR00	track 00
11	00	
12	/WF	write fault
13	00	
14	/HS2^0	head select 2^0
15	00	
16		
17	00	
18	/HS2^1	head select 2^1
19	00	
20	/IX	index
21	00	
22	DRDY	drive ready
23	00	
24	/STEP	step
25	00	
26	/DS0	drive select 0
27	00	
28	/DS1	drive select 1
29	00	
30		
31	00	
32		
33	00	
34	DIR	direction

- Steckverbinder für die Datenleitungen
  (20-polig direkt im 1/10"-Raster, Kodierschlitz zwischen Pin 4 und 6)

PIN	Kurzzeichen	Bezeichnung
1		
2	00	ground
3		
4	00	
5		
6	00	
7		
8	00	

PIN	Kurzzeichen	Bezeichnung
9		
10		
11	00	
12	00	
13	+WRDA	+ write data
14	-WRDA	- write data
15	00	
16	00	
17	+RDDA	+ read data
18	-RDDA	- read data
19	00	
20	00	

- Steckverbinder für den Betriebsspannungsanschluss (4-polig indirekt, auf der Leiterplatte eingelötet)

1 = 12P
2/3 = ground
4 = 5P

6. Einstellvorschrift

Zwischen den beiden direkten Steckverbindern der Leiterplatte befindet sich der Brückenstecker. Über einen Steckkontakt muss bei Verwendung mehrerer Hard-Disk-Laufwerke festgelegt werden, ob es sich um Laufwerk 1, 2, 3 oder 4 handelt.
Da im PC EC 1834 nur mit einem Hard-Disk gearbeitet wird, ist die vorgegebene Einstellung nicht zu verändern.
Eine mechanische Verriegelung des Hard-Disk zum Transport ist am K5504 nicht vorgesehen.

7. Wartungsvorschrift

Der Hard-Disk K5504 ist wartungsfrei.

****

Betriebsdokumentation

Alpha-Numerischer Monitoradapter
1.13.120310.2

****

Inhaltsverzeichnis

1. Verwendung und Kurzcharakteristik
2. Technische Daten und konstruktiver Beschreibung
2.1. Technische Daten
2.2. Bauelementebasis
2.3. Konstruktiver Aufbau
2.4. Anschlussbedingungen
3. Funktionsbeschreibung
3.1. Allgemeines
3.2. Taktgenerator
3.3. Adressdecodierung für die I/O-Operationen
3.4. Bildwiederholspeicher
3.4.1. Zeichen- und Attributcodierung
3.4.2. Zeichengenerator
3.4.3. Parallel-Serien-Wandler
3.4.4. Ansteuerung des Bildwiederholspeichers
3.4.5. Einzeichencodelatch
3.4.6. Attributsteuerung
3.5. Syncronisation

Anlage 1: Standardzeichensatz

1. Verwendung und Kurzcharakteristik

Der alpha-numerische Monitoradapter (ABA) steuert folgende monochromatische Monitore des ESER-PC 1834 an:

- Monitor 3.20
- " Alpha 1
- " K 7229.24
- " K 7228.1
- IBM " (unter Beachtung spezieller Anschlussbedingungen)

Die Ansteuerung erfolgt digital in alpha-numerischer monochromatischer Betriebsweise.
Das erzeugte Bild wird durch folgende Parameter gekennzeichnet:

- Darstellungsformat: 25 Zeilen zu je 80 Zeichen
- Zeichengrösse : 7x9 Punkte in einer 9x14 Punktmatrix
- jedem Zeichencodebyte ist ein Attributbyte zugeordnet
- Zeichenvorrat : 2x256 alpha-numerische und quasigrafische Zeichen
  umschaltbar durch Lötbrücke E 1
- blinkender Cursor, Cursorgrösse programmierbar

2. Technische Daten und konstruktive Beschreibung

2.1. Technische Daten

Betriebsspannung:	5 V
Leistungsaufnahme:	35 W
Taktfrequenz:	18 MHz
Punktschreibzeit:	55,5 ns
Horizontalablenkfrequenz:	18,4 ... 21,74 KHz
Bildwiederholfrequenz:	50 ... 60 Hz
Helligkeitsstufen:	hell, intensiv hell
Informationsausgänge:	digital, TTL / open collector HSYN oder SYN-Ausgänge

Die Synchronisierzeiten für den Bildschirm sind programmierbar im Raster 500 ns.

2.2. Bauelementebasis

GDC UB2720 (4 MHz)
SRAM U6516DG15 (U6516DG15)
EPROM U2764 C 45 oder Masken-ROM U2364
Schaltkreise: TTL-s, TTL-LS, DS82..

2.3. Konstruktiver Aufbau

Der ABA ist aufgebaut als 4-Lagen-Leiterplatte mit den Abmessungen 100 mm x 300 mm entsprechend Standard für ESER-PC. Der Adapter trägt für den Anschluss des Monitors eine Buchsenleiste 201-9 EBS-GO 4006/01 (BL-9 pol. Cannon).

2.4. Anschlussbedingungen

Die Anschlussbedingungen entsprechen der Vorgabe des Systembus KROS 5194.

- VIDEO 1 ist die Anzeigeinformation für den jeweiligen Punkt des Bildschirms
- VIDEO 2 löst in Verbindung mit VIDEO 1 eine Darstellung des Zeichens mit einem entsprechenden Attribut aus (Cursor, Invers, blinkendes Zeichen usw.)
- SYN ist ein Impulsgemisch für die Horizontal- und Vertikalsynchronimpulse

HSYN Horizontalsynchronimpuls
Für bestimmte Monitore (IBM) sind getrennte Synchronimpulse erforderlich.
Monitoranschluss am B1 201-9 EBS-GO 4006/01

MON-Adapter
Typ 013-1203

X2 Monitor

PN						
1	0V	0V	0V	0V	0V	1
2	0V	0V	0V	0V	0V	2
3	C0	Brücke 1/2	-	-	Brücke 1/2	3
4	C1	-	-	-	Brücke 1/2	4
5	C2	-	Brücke 1/2	-	Brücke 1/2	5
6	VIDEO 2	INTENS	INTENS	VIDEO 2	DUAL	6
7	VIDEO 1	VIDEO 1	VIDEO 1	VIDEO 1	VIDEO	7
8	HSYNCOLY	-	-	-	HOR	8
9	SYN	SYN	SYN	SYN	VERT	9
Griffschale		Schirm	Schirm	Schirm	Schirm	Chassis
		K 7228.1	MON 3.20	K7229.24 Alpha 1	IBM	

Da die verschiedenen möglichen monochromatischen Monitore unterschiedliche Synchronsignale und Signalpegel erfordern, werden durch spezielle Kurzschlussbrücken (PIN 3...5 nach Logik 0V-PIN 1/2) Identifikationsmerkmale gebildet, aus denen im Betriebssystem DCP 3.30 die entsprechenden Teile aus dem logischen Gerätetreiber BIO.COM aktiviert werden.

3. Funktionsbeschreibung

3.1. Allgemeines

Der Graphics-Display-Controller U 82720 DC 04 (GDC) ist das Kernstück des Adapters. Er übernimmt folgende Funktionen:

- Bildung der RAM-Adressen für den Bildwiederholspeicher
- Bereitstellung des aktuellen Liniennummernsignals
- Bereitstellung des Cursorsignals
- Bereitstellung des Dunkeltastsignals
- Bereitstellung eines horizontalen und vertikalen Synchronimpulses

Innerhalb einer Rastergrösse von 500 ns kann ein Zugriff der CPU (ca. 250 ns) und ein Zugriff durch den GDC (ca. 250 ns) auf dem RAM-Speicher erfolgen.
Der Bildwiederholspeicher - 4 K Byte SRAM - wird gebildet durch 2 Schaltkreise vom Typ U 6516 DG oder 6116 DG 15 (2 K x 8 Bit), die eine Zugriffszeit von 150 ns besitzen.
Sie ermöglichen das Abspeichern einer Bildschirmseite von 25 Zeilen zu 80 Zeichen einschliesslich der gleichen Anzahl Attributbytes.
Der Adapter unterstützt (umschaltbar) 2 Zeichensätze mit jeweils 256 Zeichen, deren Darstellungscode in einem Zeichengenerator (EPROM vom Typ U 2764 C 45) abgespeichert wird. Zusätzlich zu jedem Zeichen wird aus dem Attributs-EPROM die Information ausgelesen, welche Merkmale das entsprechende Zeichen haben soll (Cursor, blinkend etc.).
Die Verwendung eines Lichtstiftes ist nicht vorgesehen.

3.2. Taktgenerator

Der Quarz V1 fo=18 MHz bildet den Punkttakt DOTCLK. Dieser Takt wird durch das 6-fache D-FF D02 untersetzt in die Punktzählertakte Q1, Q2, dem Übernahmetakt für den Parallel-Serienwandler L-/S und dem GDC-Takt 2 # WCLK (ca. 4 MHz).

3.3. Adressdecodierung für die I/O-Operationen

Folgende I/O Adressen werden durch den ABA decodiert:
$2B0_H$ bis $2BF_H$
Sie haben folgende Bedeutung:

$2B0_H$: Lesen Statusregister des GDC;
Schreiben Parameter in das FIFO-Register des GDC

$2B2_H$: Lesen FIFO-Register des GDC;
Schreiben Kommando in das FIFO-Register des GDC

$2B8_H$: Einstellen Modusregister des Monitoradapters

$2BA_H$: Übernahme der Statusbits des Monitoradapters

Bei der Einstellung des Modusregisters bewirken:
Bit 3: Anzeigefreigabe (VIDEO ENABLE)
Bit 5: Blinkfreigabe (ENABLE BLINK)

Die Statusbits, die vom Monitoradapter an die CPU übertragen werden, haben folgende Bedeutung:
Bit 0: horizontales Rückstrahlsignal (HSYNC)
Bit 3: Punktsignal am Monitor (B/W-VIDEO).

Die Adressdecodierung erfolgt durch die 1 aus 8-Decoder D22/D23. D22 wird freigegeben durch das Signal AEN von der Systemplatine (adress enable).
Das Signal /IOCHCK (I/O channel check) wird aktiv bei erkannter I/O Adresse.
Schreib- oder Lesezyklen für den GDC werden gesteuert durch die Signale /IOW und /IOR über den Decoder D71, der am Systembus angeschlossen ist.
Über die Adressleitung A1 wird der GDC über den Eingang A0 zur Unterscheidung von Kommandos und Lese-/Schreibdaten gesteuert.

3.4. Bildwiederholspeicher

3.4.1. Zeichen-und Attributcodierung

Der Bildwiederholspeicher als Teil des CPU-Adressraumes umfasst 4 kByte und ermöglicht de Abspeicherung einer Bildschirmseite von 25 Zeilen mit je 80 Zeichen einschliesslich der gleichen Anzahl von Zeichenattributen. Er enthält auf den mit der Adresse $B0000_H$ beginnenden geradzahligen Adressplätzen die Zeichencodes und auf den jeweils nächst höheren ungeradzahligen Adressplätzen die Codes der entsprechenden Zeichenattribute.
Sein Adressraum umfasst $B0000_H$ - $B0FFF_H$
Die Bedeutung der einzelnen Bits des $_H$Attributbytes ergibt sich aus nachfolgender Tabelle:

Attributfunktion	Attributbyte							
	7	6	5	4	3	2	1	0
Blinkmodus	1	x	x	x	x	x	x	x
inverse Darstellung	x	1	1	1	x	0	0	0
intensive Darstellung	x	x	x	x	1	x	x	x
Unterstreichstrich	x	x	x	x	x	0	0	1
Anzeigeunterdrückung	x	0	0	0	x	0	0	0

Alle anderen Bitbelegungen bewirken eine Normalanzeige, d.h. die Darstellung von weissen Zeichen auf schwarzem Hintergrund.
256 verschiedene Codes für alphanumerische und quasigrafische Zeichen können zur Anzeige gebracht werden. Jedes Zeichen der Matrix 25 x 80 pro Bildschirmseite wird definiert durch ein Zeichencodebyte (gerade Adresse) und ein Attributbyte (ungerade Adresse).
Der Bildwiederholspeicher besteht bei diesem Adapter aus 2 x 2k x 8bit stat. RAM-Schaltkreisen. D54 beinhaltet den Zeichencode und D30 Attributbyte des jeweiligen Zeichens.

3.4.2. Zeichengenerator

Der Zeichengenerator wird aus 2 PROM's (U 2764 CC 45) mit je 8 kByte Speicherkapazität gebildet, D40 speichert 2 durch Eingang A12 umschaltbare Zeichensätze von je 256 Zeichen. Mit Entfernen der Brücke E1 wird auf einen 2. Zeichensatz umgeschaltet. D 16 speichert die zum jeweiligen Zeichen gehörenden Attribute. Die Linienzählung des Zeichens übernimmt der GDC über die Steuerleitungen AD13 - AD16, die als Eingang A8 - A11 die Speicherbereiche am PROM in 1/4 kByte-Schritten umschalten.

3.4.3. Parallel-Serien-Wandler

Das Universalschieberegister DL 299 D übernimmt die Parallel-Serien-Wandlung des Videosignals aus dem Zeichengenerator. Es wird mit steigender Taktflanke des Übernahmetaktes L-/S parallel eingeschrieben und mit dem Punkttakt DOTCLK ausgelesen. Für Spalte C0 bis CF_H und D0 bis DF_H des Zeichensatzes (siehe Anlage 1) entsteht das Signal LD9BP. Das FF_H D15/9 wird freigegeben und schaltet den 9. Bildpunkt noch einmal so, wie den vorangegangenen 8. Bildpunkt. Der T186 verknüpft das serielle Videosignal einer Zeichenlinie mit dem Steuersignal INVERS (RVVX) zum Signal SDOTSRV. Das Signal VIDEO 1 entsteht aus SDOTSRV, CVID 1x und HVID 1x (siehe Attributsteuerung) an 2 AND-NOR-GATTERn.

3.4.4. Ansteuerung des Bildwiederholspeichers

Der Bildwiederholspeicher wird über die Adressmultiplexer D31/D19/D07 angesteuert mit den Adressleitungen RAMA0 bis RAMA10. Bei Zugriff durch den GDC (intern) geschieht die Ansteuerung über das A-Tor dieses Multiplexer, wobei die vorgeschalteten 2 Adresslatches D67/D68 durch das Steuersignal ALE (Adresslatch enable) gestrobt werden. Bei externen Zugriff durch die CPU ist das B-Tor der Multiplexer angesteuert. Die Auswahl: Zeichencode-RAM oder Attribut-RAM wird realisiert durch die Adressleitung A0. In Unabhängigkeit dieser Adressleitung (gerade oder ungerade) werden die beiden Auswahlsignale /CSCC und /CSAT aktiv geschaltet jeweils durch den zeitlich versetzten Takt Q1 und Q2. Das Register D24 schaltet die Daten zum Systembus (X1) über das Schreibregister D32 auf dem Zeichencode-Bildwiederholspeicher (D54) und Register D20 auf dem Bildwiederholspeicher D30 für die Attributbytes. Register D24 wird freigegeben durch das Signal /CPUSEL =L auf CS, dass gebildet wird bei "Bildwiederholspeicheradresse erkannt".

3.4.5. Einzeichencodelatch

Für die Zeit der Darstellung einer Linie eines Zeichens wird mit dem Takt Q1 das adressierte Zeichen aus dem BWS in das Zeichencodelatch D53 gelesen (DL 374 D). Die Ausgänge des Latch sind ein Teil der Adresse des Zeichengenerators.

3.4.6. Attributsteuerung

Die Attributsteuerung erfolgt durch einen Attributgenerator, wie der PROM des Zeichencodes ein 8 k x 8 bit Schaltkreis (450 ns Zugriffszeit) vom Typ U 2764 C 45.
Der 1 aus 8-Decoder D17 decodiert die Cursorlinie (Signal / under aktiv) und schaltet im Generator einen bestimmten Speicherbereich über Eingang A8. Analog schalten die Freigabesignale enable, /VIDEO ENABLE und / CURSBLK entsprechende Speicherbereiche um. Das Signal Cursorblink wird durch den 4 bit Binärzähler D8 frequenzmässig aus dem Verti-kalsynchronimpuls VSYNCOL 1 und taktet das nachfolgende FF D15/05. Das sich daraus ergebene Signal Blink schaltet ebenso wie andere Attribut-steuersignale ein Speicherbereich des Attributgenerators um. In Ab-hängigkeit der gewünschten Attribute werden aus dem Attributgenerator 4 Videosignale gelesen:

CVID 1 x
CVID 2 x Kontroll-Video-Signal
HVID 1 x
HVID 2 x High-Video-Signal

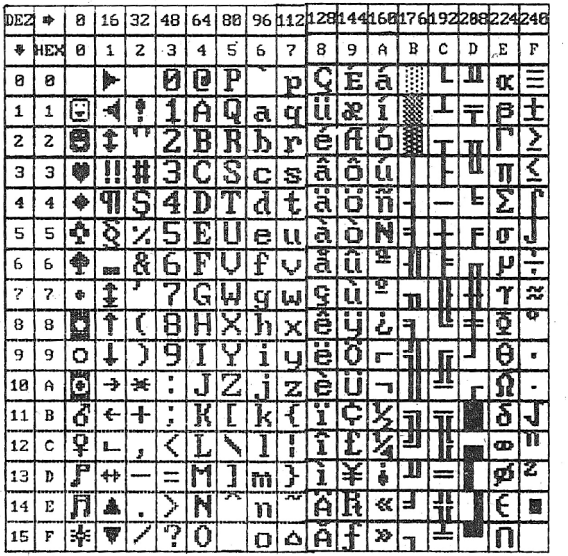
die mit dem seriellen Videosignal SDOTSRV verknüpft, VIDEO 1 und VIDEO 2 ergeben.

3.5. Synchronisation

Das Synchronsignal ist durch Einsatz des GDC programmierbar einschliesslich Austastzeiten. Dadurch ist eine Anpassung an verschiedene Monitore möglich. Der GDC erzeugt die beiden Signale HSYNC und V/EXT SYNC,die dann über die beiden FF's D58/05 und D70 (4-fach DFF mit Rücksetzeingang) den Horizontalablenksynchronimpuls HSYNCOLY (HSYNCOL 1) und dem Vertikalsynchronimpuls VSYNCOL 1 formen. Zusätzlich werden beide verknüpft zum Synchrongemisch /SYN. In Abhängigkeit der Beschaltung des Steckers X2 (siehe Anschlussbedingungen Pkt. 2.4.) wird /SYN oder VSYNCOL 1 als Signal SYN dem Stecker X2:9 zugeführt bei aktivem Signal VIDEO ENABLE oder / RESET inaktiv.

Anlage 1: Erweiterter KOI-7bit-Code Zeichensatz-IBM-Kompatibel

Anlage 1: Erweiterter KOI-7bit-Code Zeichensatz
IBM-kompatibel



****

Betriebsdokumentation

Monochromatischer Bildschirm M0N K 7229.24
Monochromatischer Grafikbildschirm M0N K 7229.25
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Blockschaltbild
4.2. Kabelempfänger
4.3. Videovorverstärker
4.4. Videoverstärker
4.5. Horizontalablenkung
4.5.1. Horizontalgenerator
4.5.2. Synchronimpulserzeugung und Phasenvergleich
4.5.3. Horizontalendstufe
4.5.4. Hochspannungs- und Hilfsspannungserzeugung
4.6. Vertikalablenkstufe
4.7. Netzteil
4.7.1. Rohspannungserzeugung
4.7.2. Anlaufschaltung
4.7.3. Regler
4.7.4. Treiberstufe
4.7.5. Leistungsstufe
4.8. Sicherheitsschaltung
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift/Reparaturanleitung
7.1. Wartung und Reparatur
7.2. Austausch von Baugruppen
8. Sicherheitsmassnahmen

1.62.540128.2 (GER)
085-3-000
853.53.01.001

Stand: 06/88

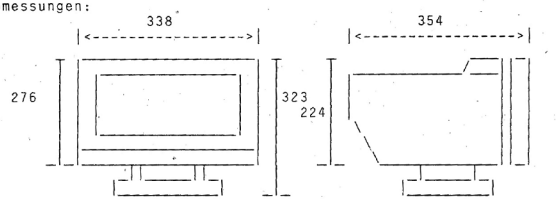
1. Verwendung und Einordnung

Der Monitor K 7229.24/25 ist eine Baugruppe zur visuellen Informationsdarstellung mittels einer monochromatischen Katodenstrahlröhre. Er enthält die elektrischen Funktionsgruppen, die zur Erzeugung eines Bildfeldes auf der Bildröhre erforderlich sind (Vertikal- und Horizontalablenkspannungserzeugung, Videoverstärker, Kabelempfänger, Netzteil).
Für die bildgerechte Aufbereitung der Informations- und Steuersignale ist nicht der Monitor, sondern der zugehörige Adapter des PC zuständig.
Während der Monitortyp K 7229.24 der Darstellung alphanumerischer und pseudografischer Zeichen dient, ist der Monitor K 7229.25 durch eine erhöhte Zeilenfrequenz und einen analogen Videosignaleingang grafikfähig.

2. Technische Daten

Bildröhre:	31 cm - Diagonale
Bildfeldgrösse:	135 mm x 220 mm K 7229.24 165 mm x 220 mm K 7229.25
Linienzeit:	t_L = 32...34 us
Linienrücklaufzeit:	$t_R \geq$ 5 us
Bildwiederholzeit:	t_B = 16...20 ms
Bildrücklaufzeit:	$t_{BR} \geq$ 0,5 ms
Punktschreibzeit:	$t_p \geq$ 40 ns
Betriebsspannung:	220 V + 10 %, - 15 % 48...64 Hz
Leistungsaufnahme:	40 W
Schutzgrad:	IP 20
Betriebsdauer:	24 h - Betrieb

Abmessungen:



Signaleingänge:	K 7229.24	K 7229.25
Normal hell	VIDEO1 X1:1I	VIDEO X1:1I
Intensiv hell	VIDEO2 X1:2I	analog dkl. 4,3 V
Maximal hell	VIDEO1&2 =1,4 V	analog hell 5,0 V
	SYN X1:4I	

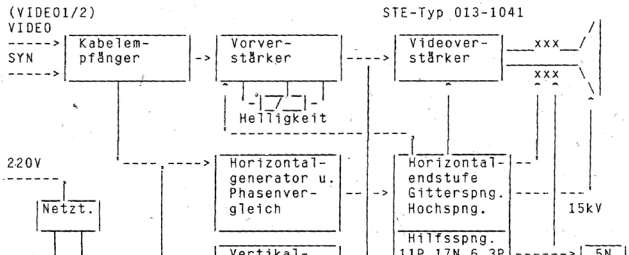
Der Monitor K 7229 ist nach Strahlenschutzbauartprüfung Nr.SB7070585 in Verbindung mit der Bildröhre M31-131 GH/T-S zum erlaubnisfreien Betrieb zugelassen.

3. Konstruktiver Aufbau

Im Chassis des Monitors sind an der Vorderseite die Bildröhre mit Ablenkeinheit und Videoverstärker sowie die Blende mit der Betriebsspannungsanzeige angebracht. In der Seitenwand ist das Netzteil eingeschraubt. Die gesamte Ansteuerung befindet sich auf einer ausschwenkbaren Leiterplatte. Der Netzeingang mit dem Netzschalter ist an der hinteren Unterkante des Gerätes. Zum Anstecken des Informationskabels muss die Rückwand aufgeschwenkt werden.
Alle Verkleidungselemente sind am Chassis angeschraubt.

4. Funktionsbeschreibung

4.1. Blockschaltbild



Werte in Klammern entspricht K7229.24

4.2. Kabelempfänger

Das von der Anschlusssteuerung erzeugte Signal SYN wird über die Kabelempfängerstufe D1 der Vertikal- und Horizontalablenkstufe zugeführt. Das Signal VIDEO gelangt direkt an den Videoverstärker. Die Widerstände R6.x und R5.x sind Kabelabschlusswiderstände.
Der Spannungsteiler R3, R11 erzeugt eine Referenzspannung für den Kabelempfänger D1 von 0,83 V.
Die Drosseln L6 sind zur Funkentstörung vorgesehen.

4.3. Videovorverstärker

Den Eingang des Vorverstärkers bildet der regelbare Spannungsteiler R88, V28. Das Spannungsteilerverhältnis wird geregelt durch den Helligkeitsregler, der den Aussteuerbereich des V28 von 18...0V festlegt. Nachfolgend ist ein schneller gleichstromgekoppelter Anpassverstärker V8,V9 mit einer Verstärkung von 1,5 geschaltet. Die kapazitive Ankopplung (C8) der 2 Stufen würde eine informationsabhängige Schwarzwertverschiebung bewirken. Aus diesem Grund wird der Transistor V12 während des Linienrücklaufes aufgesteuert und C9 auf den Pegel des Schwarzwertes geladen. Dieser Pegel ist für eine Linienzeit der Arbeitspunkt des V10, der den Vorverstärker an den Videoverstärker anpasst.

4.4. Videoverstärker

Der Videoverstärker hat eine Verstärkung von 20. Dabei arbeitet der der Endtransistor V1 in Basisschaltung und wird Transistor V3 angesteuert. Durch diese beiden Verstärkerstufen liegt an der Katode der Bildröhre bis 20V an.
Dadurch, dass der Videoverstärker analog angesteuert wird, sind beliebig viele Helligkeitsstufen realisierbar.
Das Dunkeltastsignal, was während des Linien- und Bildrücklaufes aktiv ist, öffnet den Transitor V2, so dass V3 sperrt.
Dadurch erhöht sich die Spannung der Katode auf ca. Betriebsspannung, und die Bildröhre wird sicher gesperrt.
Die Gitterspannungen SUG1, SUG2 und SUG4 sind über Siebkondensatoren und Kabelwiderstände angeschlossen.
Der Drahtring des Bildröhrensockels hat die Funktion von Schutzfunkenstrecken, um Überschläge in den Elektroden der Bildröhre zu vermeiden, die die Gittersysteme zerstören .

4.5. Horizontalablenkung

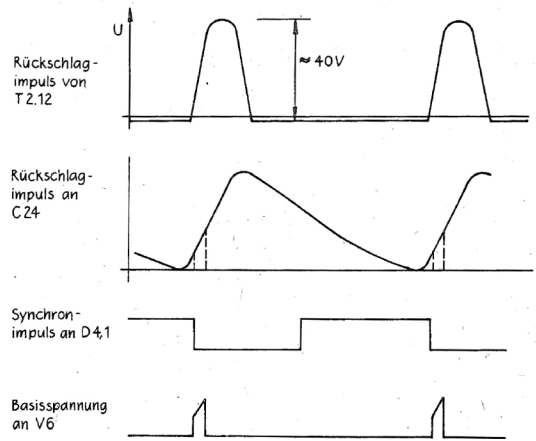
4.5.1. Horizontalgenerator

Der Horizontalgenerator bestehend aus den Transistoren V15 und V16 ist ein astabiler Multivibrator, der mit einer fo = 30 kHz + 8% schwingt. Über die Basis des V16 kann er synchronisiert werden.

4.5.2. Synchronimpulserzeugung und Phasenvergleich

Das vom Adapter erzeugte Synchronimpulsgemisch (Vertikal-, Horizontalimpuls) wird im Kabelempfänger D1 regeneriert und steuert direkt mit der positiven Flanke den monostabilen Multivibrator D4 an.
Dadurch kann die negative Synchronflanke für den Generator um 5...18 us verzögert werden. Durch diese Stufe wird die Speicherzeit der Horizontalendstufe ausgeglichen, in dem jede Linie mit dem verzögerten Synchronsignalimpuls der vorhergehenden Linie getriggert wird.
Um die Horizontalimpulsfrequenz des Signals SYN mit der im Horizontalgenerator erzeugten zu synchronisieren, werden im Phasenvergleich beide Signale verglichen und eine Regelspannung erzeugt. Diese Regelspannung steuert nachfolgend die Stromquelle V18.
Der Rückschlagimpuls (siehe Impulsdiagramm) wird durch R54,R55,C24 gesiebt und verzögert. V23 ist durch R48 leitend, so dass die Diode V20 sperrt und V22 abblockt. Die negative Synchronflanke (D4/01), sperrt über das Differenzierglied C23,R43,R48 kurzzeitig den Transistor V23, und an der Basis von V22 wird ein Teil des Rückschlagimpul-

ses wirksam.
Der Kondensator C22 wird über V22 auf den Spitzenwert dieses Ausblendimpulses aufgeladen.
Durch den veränderlichen Ladestrom auf C21 wird durch D4 ein Regelbereich von 5...18 us erreicht. Durch das Differenzierglied C19, R42 ist die Resonanzfrequenz regelbar. Das Öffnen und Schliessen des V16 wird beeinflusst und damit die Resonanzfrequenz des Horizontalgenerators.



Impulsdiagramm des Phasenvergleichs

4.5.3. Horizontalendstufe

Die stromstarke Treiberstufe V14,V13 steuert die horizontale Endstufe V50 an. Sie wird im Schalterbetrieb auf und zu gesteuert.
T1 entkoppelt wirkungsvoll die Horizontalendstufe.
Die Horizontalablenkspulen X1 und X2 der Ablenkeinheit sind über C40,C42 an der Primärwicklung des Hochspannungstrafos T2 angeschlossen. Mit L5 kann die X-Linearität eingestellt werden.
Es wird, bedingt durch die Schienenspannung von 65P, eine Hochvolt-Boosterschaltung verwendet. Durch den Boosterkondensator C41 kann die Spannung erhöht werden. Die Ladespannung stockt sich auf die Betriebsspannung auf.
Wenn V50 sperrt, entsteht durch die Induktivität und C41 ein Schwingkreis. Der Ablenkstrom läuft schnell zum negativen Maximum. Beim Nulldurchgang des Stromes liegt über C41 die positive Rückschlagspitze von 850V. Die negative Halbwelle wird von den Dioden V34, V35 stark gedämpft, so dass jetzt wieder die langsame Hinlaufschwingung auftritt. Läuft der Ablenkstrom ins Positive, muss V50 wieder aufgesteuert sein.
Durch verschiedene Abgriffe der Primärwicklung kann die Bildbreite verändert werden.

4.5.4. Hochspannungs- und Hilfsspannungserzeugung

Der Rückschlagimpuls der Zeilenendstufe transformiert in der Hochspannungswicklung 5kV. Durch eine Hochspannungskaskade wird die Spannung auf die Ausgangsspannung von 15 kV verdreifacht.
Am Abgriff 4 T2 wird durch Gleichrichtung durch V36,R34,R82 UG2 600V erzeugt.
Über den regelbaren Spannungsteiler R84,R83 gewinnt man die Fokussierspannung UG4, die zur Schärfeeinstellung des Bildes dient.
Die Hilfswicklung 6,7 erzeugt über V39,C47 die Heizspannung 6,3V der Bildröhre und über V40,C46 die Spannung UG1 von 0...110V.
Mit Regler R86 kann die Sperrspannung der Bildröhre eingestellt werden.
Die Wicklungen 8,9,10 erzeugen über V37,C44 und V38,C45 die Hilfsspannungen 11P und 17N, die für die Vertikalablenkstufe notwendig sind.

4.6. Vertikalablenkstufe

Das RC-Glied R2,R1||C1 am D1 integriert den regenerierten Synchronimpuls.
Der Ausgang 9 wird für etwa 300us low. Dieser kurze Impuls triggert den nachfolgenden astabilen Multivibrator V25,V26. Die Eigenfrequenz des Generators beträgt ca. 50Hz. Über die Widerstände R64,R65 wird der Kondensator C30 langsam aufgeladen. In der Phase, in der V25 leitend ist, entlädt sich C30 über V27 sehr schnell. Es entsteht ein Sägezahn (siehe MP2).
Mit dem Regler R65 ist die Bildhöhe einstellbar.
Zur Erzeugung des sägezahnförmigen Ablenkstromes wurde der Leistungsverstärker N1 verwendet.
Am nichtinvertierenden Eingang liegt die sägezahnförmige Impulsspannung, am invertierenden Eingang der Rückkoppelzweig (R76,R71). Ausserdem wird dieser Sägezahnimpuls von R68,R69,C31 integriert und der Aussteuerspannung überlagert. Mit dem R68 kann so die Vertikallinearität beeinflusst werden.

4.7. Netzteil

Die für die Baugruppe des Monitors notwendigen Betriebsspannungen werden im Sperrwandlerprinzip auf der LP Typ 013-1044 erzeugt .
45P = 45...47V (K 7229.24) - 65 P = 65...68 V (K 7229.25)
9 PR = 9 V

4.7.1. Rohspannungserzeugung

Die vom Netzfilter kommende Netzspannung wird durch die Graetzschaltung V1...V4 gleichgerichtet, durch die Bauelemente C15, C7, L2 gesiebt. Die Kondensatoren C1...C5, C11 und die Drosseln L1, L2 dienen zur Funkentstörung.

4.7.2. Anlaufschaltung

Für das Netzteil ist eine spezielle Anlaufschaltung notwendig.
Der Oszillator - bestehend aus R5, C9 und Diac V8 schwingt mit der Frequenz von 1...2kHz.
Über L1.1, L1.2 von T1 und R5 wird C9 bis auf die Durchbruchspannung des Diacs (ca.32V) aufgeladen. Der Diac bricht durch bis auf seine Haltespannung, es fliesst ein Entladestrom in den Schalttransistor

V15. Der Entladestrom wird begrenzt durch die Widerstände R5 und R7. V15 bleibt für ca.10us leitend.
In der Leitphase des Transistors wird in den Spulen L5, L6 eine Spannung indüziert, die die Ladeströme für die Kondensatoren C24 und C26 auslöst. Die Kondensatoren laden sich auf ca.16-18V auf. Ist diese Spannung erreicht, bricht die Vierschichtdiodennachbildung V35...V37 durch und legt die Hilfsspannung als Betriebsspannung an den Regler D21 an.
Der Regelschaltkreis stellt über den Treibertransistor und den Übertrager T2 Ansteuerimpulse für den Schalttransistor V15 zur Verfügung.
Die Arbeitsfrequenz des Reglers entspricht der Linienfrequenz des Monitors. Er wird geregelt über den Eingang 09 mit dem Signal SYNCH.
Durch diese Arbeitsfrequenz > Frequenz der Anlaufschaltung, bleibt die Spannung an C9 unter der Haltespannung des Diacs. Die Anlaufschaltung ist unwirksam.

4.7.3. Regler

D21 übernimmt alle Regel- und Überwachungsfunktionen.

- Strombegrenzung
- Überspannungsschutz
- Frequenzeinstellung (synchr. durch pin 09)

Im unsynchronisierten Zustand ist die Arbeitsfrequenz 1 kHz höher als die Linienfrequenz. Sie wird mit dem Signal SYNCH (Horizontalendstufe) synchronisiert. Das Signal SYNCH wird gebildet aus dem Rückschlagimpuls der Horizontalendstufe. Während des Linienhinlaufes wird das Signal auf low gehalten .
Da sich der D21 schaltungstechnisch auf der Sekundärseite von T1 befindet, erfolgt die Stromfühlung für Überstrom über den Messwiderstand R8. Mit R15 kann die Ansprechschwelle der Stromsicherung eingestellt werden. Der Messwert wird über den Optokoppler U1 auf den Regler geführt (pin10 - Fernsteuerung EIN/AUS).
Die Spannung 65V wird geteilt. Mit dem Regler R36 gelangt die Steuerspannung auf pin3 des D21.
Die 65V werden über den Spannungsteiler R26, R35 (Regler) auf Überspannung kontrolliert. R35 ermöglicht die Einstellung des Schwellwertes für Überspannung.

4.7.4. Treiberstufe

Der Treibertransformator V26 wird direkt vom Regler D21 angesteuert.
Die nachfolgende Schaltung arbeitet im Durchflussprinzip, d.h. ist V26 leitend, fliesst auch ein Strom über V10, C10, R7 in die Basis des Schalttransistors V15. C10 wird aufgeladen.
Sperrt V26, geht der Basisstrom V15 sehr schnell gegen Null. Die Entmagnetisierung des T2 übernimmt die Sekundärwicklung 1..3, indem V11 leitend wird. Durch die Ladung von C10 entsteht ein negativer Basisstrom. Drossel L4 bewirkt, dass der Strom im Kollektorkreis von V11 sehr langsam (2,5us) seinen negativen Spitzenwert erreicht.
Bricht die Basis-Emitter-Strecke durch, sperrt V15.

4.7.5. Leistungsstufe

Sie besteht aus dem als Sperrwandler arbeitenden Leistungsübertrager T1 und dem Hochvoltschalttransistor V15.
Während der Sperrzeit des Transistors V15 lädt sich der C8 auf den

noch fliessenden Übertragerstrom auf. Wird V15 wieder leitend, entlädt sich C8 über R11. Die Kombination C6, R4, V5 baut die Induktionsspitzen der Primärwicklung des T1 ab.
Sekundärseitig werden durch die Wicklungen L3...L6 die Spannungen 65P, 9PR und 19 PH gebildet.

4.8. Sicherheitsschaltung

Die Signaleingangsleitungen sind durch Dioden (V1.1...V1.8) gegen Überspannungsspitzen schutzbeschaltet.
Sollte eine der Dioden durch Überspannung zerstört werden , steigt über die hochohmigen Parallelwiderstände der Pegel des Signals NTA über 1,5V an. Diese Spannung kippt das FF V33, V34 um, und die Ausgangsspannung des D21 wird über V31 kurzgeschlossen, der V15 nicht mehr angesteuert. Die Schaltung arbeitet jetzt über die Anlaufschaltung. (Es ist ein Pfeifton hörbar).
Nach der Fehlerbeseitigung wird das Netzteil erst einmal ausgeschaltet, um einen normalen Anlauf zu erreichen.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Über einen Gerätestecker g-TGL 10267 ist der Monitor an 220 V angeschlossen. Die Ansteuersignale werden wie folgt beschaltet:

	K 7229.24	K 7229.25
1I	VIDE01	VIDE0
1A	00	00
2I	VIDE02	-
2A	00	-
3I	-	-
3A	Schutzerde	
4I	SYN	SYN
4A	00	00

6. Einstellvorschrift

Einstellung der Betriebsspannungen:
Die Betriebsspannungen werden wie folgt eingestellt:

Spannung	Einstellwert	Messpunkt auf STE-Typ 013-1040	Einstellregler
45P	45...47 V	X3:4 K 7229.24	R36 (Netzteil)
65P	65...68 V	X3:4 K 7229.25	R36 (Netzteil)
5P	5+0,25 V	X4:1	R91 (Ansteuerpl.)
5N	- 5+0,25 V	Emitter V3	R8 "

Einstellungen auf der Netzteilleiterplatte:
R15 Schwelle Überstromsicherung
R35 Schwelle Überspannungssicherung
R49 unsynchr. fo des Reglers
Bezugspotential kann beispielsweise das Masseband der Bildröhre sein.

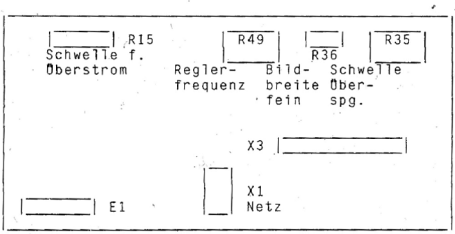
Einstellung der Bildgeometrie:
Das Bild wird auf Schirmmitte zentriert.
Durch Eingabe des Zeichens "H" auf die äusseren Positionen des Schirmbildes ist auch ohne Bildmustergenerator oder ein entsprechendes Programm eine gute Einstellung der Bildgeometrie möglich.

	Einstell-element	Leiter-platte	Sollwert
Bildlage vert./hor.	Bildlage-scheiben	Ablenkeinh.	Bildmitte
Linearität hor.	L5	Ansteuer-LP	27,5 mm + 5%
" vert.	R68	"	17,0 mm K 7229.24 20,6 mm K 7229.25
Bildbreite gross	Brücke E4	"	220 mm
" fein	R36	Netzteil	220 mm
Bildhöhe	R65	Ansteuer-LP	135 mm K 7229.24 165 mm K 7229.25
Kissenkorrektur	Magnete drehen	Ablenkeinh.	
Trapezkorrektur	Magnete schieben	"	

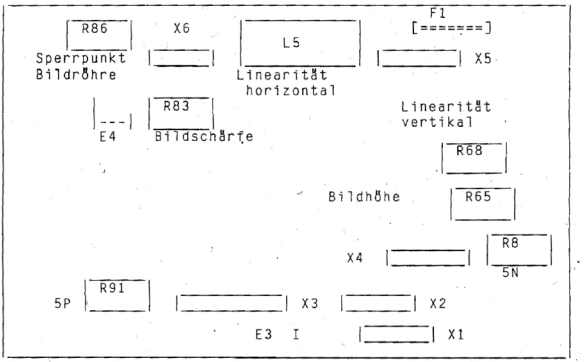
Die Bildbreiteneinstellung erfolgt durch die Einstellung der Betriebsspannung im angegebenen Toleranzbereich. Da die Einstellungen sich gegenseitig beeinflussen, müssen sie wiederholt werden.

Sperrpunktabgleich:
Nach dem Einschalten des Gerätes kann nach 5 min die Einstellung erfolgen (im abgedunkelten Raum).
- Helligkeitsregler an der Blende auf Linksanschlag stellen
- Mit R86 auf der Ansteuer-LP die Grundhelligkeit so einstellen, das sie gerade noch sichtbar ist.

Schärfeeinstellung:
Das Testbild wird bei maximaler Helligkeit mit R83 scharf eingestellt.



Leiterplatte Typ 013 - 1044 (Netzteil)



Leiterplatte Typ 013 - 1040 K 7229.24
Leiterplatte Typ 013 - 1046 K 7229.25

7. Wartungsvorschrift/Reparaturanleitung

7.1. Wartung und Reparatur

Der Monitor ist wartungsfrei. Er sollte jedoch jährlich innerlich und äusserlich gereinigt werden. Dabei sind jedoch die Sicherheitsmassnahmen zu beachten. Es ist besonders die Isolieroberfläche um den Anodenanschluss der Bildröhre zu säubern. Bei folgenden Erscheinungen ist der Monitor sofort auszuschalten:

- knisternde und knallende Hochspannungsüberschläge im Monitor
- Zusammenbrechen des Schirmbildes auf einen schmalen hellen Strich oder Punkt.

Werden im Fehlerfall Baugruppen gewechselt, ist in den meisten Fällen ein neuer Abgleich erforderlich.
Auch beim Auftreten von Störungen, wie z. B.

- unstabiles Bild
- Unschärfe
- Bildgeometriefehler
- zu geringe Helligkeit

ist entsprechend der angegebenen Einstellmöglichkeiten zu verfahren.

7.2. Austausch von Baugruppen

An der Rückwand werden 2 Schrauben gelöst und die Rückwand nach unten gedrückt. Die Abdeckhaube kann nach hinten abgezogen werden, wenn 2 seitliche Schrauben gelöst werden.

Wechseln der Bildröhre:
Nach lösen von 4 Schrauben wird die Blende nach vorn gezogen.
Anschliessend können die 4 Befestigungsschrauben der Bildröhre gelöst werden.

Die Ablenkeinheit und der Videoverstärker werden abgezogen nachdem die Klemmschraube gelockert wird. Der Anodenanschluss wird entfernt, anschliessend entladen und das Masseband nach Lösen der 4 Schrauben ausgehängt. Es dürfen nur typengleiche Bildröhren ausgetauscht werden.

Wechsel der Ansteuerplatte:
Die Ansteuerplatte wird durch 2 Schrauben gehalten. Nach lösen derselben, kann die Platte aufgeschwenkt werden. Alle Steckbuchsen und der Anodenanschluss werden gezogen. Das obere Scharnier wird gelockert und die Ansteuerplatte kann ausgewechselt werden.

Wechsel des Videoverstärkers:
Die Steckbuchsen zur Ansteuerplatte werden gezogen, die Masseleitung am Masseband der Bildröhre wird ausgehängt. Nach Lockern der Klemmschraube am Bildröhrenhals wird der Verstärker abgezogen. Die Abschirmungteil wird durch Aufbiegen der Blechlaschen geöffnet und die Leiterplatte gewechselt.

Wechsel des Netzteils:
Die Kabel werden gezogen, das Netzteil seitlich herausgenommen. Beim Einbau ist dann wieder auf sichere Schutzerdeverbindung zu achten.

8. Sicherheitsmassnahmen

Sicherheitsmassnahmen sind am Monitor in zweierlei Hinsicht zu beachten:

- Hochspannung bis zu 15 kV
- Implosionsgefahr der Bildröhre

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf der Bildröhre ausgeschlossen werden müssen. Die Bildröhre selbst zählt zur Gruppe der implosionsgeschützten Röhren. Bei ordnungsgemässer Handhabung tritt keine Implosion auf.
Beim Betreiben des geöffneten Gerätes durch das technische Personal sind die Hochspannungen zu beachten. Es ist zu gewährleisten, dass der Aussenbelag der Bildröhre über das Masseband einwandfrei mit der allgemeinen Masse der Baugruppe verbunden ist. Mit der Brücke E3 auf der Ansteuerplatte wird die Masse mit Schutzerde verbunden. Messungen der Hochspannung dürfen nur mit ordnungsgemäss geerdeten Hochspannungsmessgeräten erfolgen.
Das Abziehen des Anodensteckers darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten und Abziehen des Anodensteckers ist mindestens 1 min zu warten. Soll die Bildröhre ausgebaut werden, ist die Anode zu entladen (über einen Widerstand von ca. 1kOhm mind. 10 s nach Masse). Der Ausbau der Bildröhre hat wegen der Implosionsgefahr mit Gesichtsmaske, Pulsschützer und Halstuch zu erfolgen.

****

Betriebsdokumentation

S p e i c h e r e r w e i t e r u n g (Typ 013-1201)
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Normalbetrieb
4.1.1. Bildung von RAS und CAS
4.1.2. Paritätsfehlererkennung
4.1.3. Speicherrefresh
4.2. Besondere Anwendungsfälle
4.2.1. Realisierung eines Banksystems
4.2.2. Alternativer Adressbereich
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

1.62.540129.0 (GER)
085-3-000
851.53.01.002

Stand: 03/88

1. Verwendung und Einordnung

Die Steckkarte "Speichererweiterung" dient zur Vergrösserung des Hauptspeicherbereiches des EC 1834 um 384 KByte auf den maximal direkt adressierbaren RAM-Bereich von 640 KByte.
Es ist möglich, durch den Einsatz einer zweiten Erweiterungskarte den RAM-Speicherbereich auf 1 MByte zu erhöhen und Banksysteme sowie alternative Adressbereiche zu realisieren.

2. Technische Daten

Steckkarte:	300 mm x 100 mm MLL
Bauhöhe:	max. 13,5 mm
Steckverbinder:	Buchsenleiste X1 402 96-polig nach EBS-GO 4007
Stromversorgung:	5P (+5V ±5%)
Betriebsart:	Normaladressbereich (Vorder- und Hintergrundmodus) oder Alternativadressbereich
Fehlererkennung:	Paritätskontrolle

3. Konstruktiver Aufbau

Die RAM- Erweiterungsplatine ist eine Mehrlagenleiterplatte (MLL) der Grösse 300 mm x 100 mm.
Die Verbindung zum Systembus des PC realisiert eine 96-polige indirekte Buchsenleiste (X1).
Die Speicherkapazität wird durch den Einsatz von 64K x 1Bit dynamischen Speicherschaltkreisen U 2164 C20 erreicht. Für die Busschnittstelle sind im wesentlichen folgende Bauelemente vorhanden:

- Schaltkreis DS 8287 D (SE 87) = 8 bit bidirektionaler Bustreiber / Empfänger (Daten)
- Schaltkreis K 531 KP11P (SY 57) = 2 zu 1 - Multiplexer (Adressen)
- Schaltkreis K 531 IP5P (SY 80) = Paritätsgenerator (Paritätskontrolle)
- Schaltkreis DL 003 D (LS 03) = 2-fach NAND (Steuersignale zum Bus)

4. Funktionsbeschreibung

4.1. Normalbetrieb

Mit /MEMR oder /MEMW = LOW können unter der Bedingung, dass kein Refresh-Zyklus abläuft (/DACKO = HIGH) die Adressen A1- A16 über die Multiplexer [D 17, D10] zeitlich versetzt an die Speicherzellen gelegt werden.
Der Ablauf ist folgender:

4.1.1. Bildung von RAS und CAS

Die Adressbit A17- A19 werden über D22 decodiert und stehen unter der Bedingung /DACK0 inaktiv als /RAS0, /RAS2 und /RAS4 zur Verfügung.
Zwei OSC-Takte und MEMR oder MEMW wird ADDRSEL [D15] zur Umschaltung der Multiplexer erzeugt. Eine OSC-Taktperiode später entsteht an D16 CAS.
Mit A0 und /BHE verknüpft ergeben sich die Signale /CASL und /CASH, welche direkt an die zugehörigen RAM-Gruppen geführt werden.
Durch die Kombination der Adressübernahmesignale /RAS0,2,4 mit /CASH und /CASL sind sechs Speichergruppen mit jeweils 64 KByte adressierbar (Bank 0 ... 5). Die Speichererweiterung meldet mit /MEMCS16 einen Wortzugriff auf ihren Adressbereich an den BUS.

4.1.2. Paritätsfehlererkennung

Beim Speicherschreiben werden mit /MEMR = HIGH die Daten durch die Paritätsdetektoren [D2,D4] auf gerade Parität ergänzt. Eingang D0 liegt durch MEMR auf LOW.
Das Ergebnis der Paritätskontrolle wird in den entsprechenden Speicherschaltkreisen über MDPOE und MDPEE eingetragen.
Beim Lesen wird das Paritätsbit als 9. Bit an die Detektoren gelegt. Liegt ein Fehler vor, entsteht /IOCHCK mit LOW und muss vom System ausgewertet werden.
Die Rücksetzung des Paritätsfehlers erfolgt mit dem nächsten /MEMW auf einen beliebigen Speicherplatz [D13,D14].

4.1.3. Speicherrefresh

Da die CPU K1810 WM86 (8086) keine eigene Refreshsteuerung realisieren kann, müssen die dynamischen Speicher über die DMA softwaremässig aufgefrischt werden. Dazu wird /DACK0 = LOW und aktiviert alle /RAS-Leitungen.
Das Setzen des FF D16 wird verhindert, wodurch ADDRSEL und CAS inaktiv auf LOW bleiben. Durch DACK0 = HIGH wird am Multiplexer D10 statt Adressleitung A8 die Adressleitung A0 aufgeschaltet [D20]. Somit stehen die Adressleitungen A0 ... A7 für die Bildung von jeweils einer der 256 Refresh-Adressen an allen RAM-Speicherschaltkreisen zur Verfügung.

4.2. Besondere Anwendungsfälle

4.2.1. Realisierung eines Bank-Systems

Die Speichererweiterungs-Steckkarte kann im normalen Adressbereich (40000H ... 9FFFFH) zweifach als Vorder- oder Hintergrundspeicher eingesetzt werden. Durch diesen Bank-Mechanismus ist es möglich, den RAM-Bereich im PC EC 1834 auf insgesamt 1 MByte zu erhöhen, wobei jedoch die beiden 384 kByte - Bereiche der Speichererweiterung nur alternativ genutzt werden können (im gleichen Adressbereich).
Zur Realisierung muss der Schalter S1/01-02 auf beiden Steckkarten unterschiedlich eingestellt werden. Nach dem Rücksetzen (RESETDRV = HIGH) ist die RAM-Erweiterung mit der Schalterstellung "AUS" adressierbar, die zweite nicht. Durch die Ausgabe einer 0001 (D0 = 1) auf die Adresse 1E8H wird das FF D06-09 gesetzt, und die zweite RAM-Steckkarte ist adressierbar, die erste aber nicht. Über den gleichen E/A-Schreibbefehl und D0 = 0 wird der Anfangszustand wieder hergestellt.

4.2.2. Alternativer Adressbereich

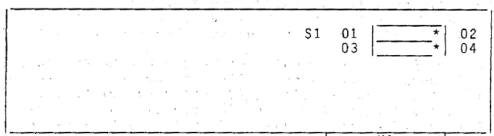
Für Spezialanwendungen ist es möglich, die RAM-Erweiterungs-Steckkarte im alternativen Adressbereich A0000H ... F7FFFH zu adressieren. In diesem Adressbereich dürfen dann jedoch keine anderen Speichereinrichtungen wie z.B. der MONITOR-Adapter verwendet werden. Die Adressierbarkeit des oberen 32 kByte - Bereiches (F8000H ... FFFFFH) wird hardwaremässig unterdrückt.
Der Einsatz im alternativen Adressbereich wird mittels Schalter S1/03-04 realisiert. Ein Bank-System kann hier lediglich im 32 kByte - Adressbereich F0000H ... F7FFFH eingerichtet werden, indem durch die Ausgabe einer 0002 (D1 = 1) auf die Adresse 1E8H das FF D06-05 gesetzt wird. Damit ist dieser Bereich (F0000H ... F7FFFH) adressierbar. Über den gleichen E/A-Schreibbefehl und D1 = 0 sowie nach dem Rücksetzen (RESETDRV = HIGH) ist der oben erwähnte 32 kByte - Bereich abgeschaltet und demzufolge nicht adressierbar.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Siehe Busrichtlinie PC EC 1834 (Pkt. 5.1.)!

6. Einstellvorschrift

Der Schalterblock S1 besteht aus zwei voneinander unabhängigen DIL-Schaltern und ist in folgender Lage zu finden:



Einstellmöglichkeiten
Schalter S1/01-02 : Auswahl Vordergrund-/Hintergrundmodus
Schalter S1/03-04 : Auswahl Normal-/Alternativadressbereich

Schalter	Vordergrundmodus		Hintergrundmodus	
	Normalbereich 256K- 640K	Alt. Bereich 640K- 960K	Normalbereich 256K- 640K	Alt. Bereich 640K- 960K
S1/01-02	AUS	AUS	EIN	EIN
S1/03-04	AUS	EIN	AUS	EIN

7. Wartungsvorschrift

640K-960K benötigt Bildwiederholspeicher.

Die Steckkarte "RAM-Erweiterung" ist wartungsfrei..pa

NUR:
SE-4 1x Vordergrund Normalbereich
+ 1x Hintergrund Normalbereich
möglich.

Hintergrundmodus wird von DCP nicht unterstützt!

****

Betriebsdokumentation

Adapter für serielle Kommunikation ASC (Typ 013-1202)
Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Adressdecodierung
4.3. Buszyklusverlängerung
4.4. Taktierung / Taktauswahl
4.5. Übertragungssteuerung
4.6. V.24-Schnittstelle mit Pegelwandler
4.7. IFSS-Schnittstelle mit Konstantstromquellen und Optokoppler
4.8. Multiplexer für Eigentest
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift / Wartungsvorschrift
6.1. Einstellmöglichkeiten über Brücken
6.2. Einstellmöglichkeiten über DIL-Schalter

1.62.540119.4 (GER)
085-3-000
852.53.01.002

Stand: 03/88

1. Verwendung und Einordnung

Der Adapter für asynchrone Übertragung (Asynchronadapter = ASC) ermöglicht die Anpassung von Peripheriegeräten bzw. den Anschluss von Datenübertragungseinrichtungen an den Systembus des EC1834. Es werden die standardisierten Schnittstellen IFSS und V.24 (S2) zur Verfügung gestellt. Zur Realisierung der Interface-Signalspiele werden die integrierten Schaltkreise U855 (PIO), U856 (SIO) und U857 (CTC) eingesetzt.
Die asynchrone Datenübertragung ist für verschiedene Datenformate und Übertragungsgeschwindigkeiten programmierbar.

Kurzcharakteristik

- Betriebsart als Primäradapter oder Alternativadapter mit zugeordneter Unterbrechungssteuerung durch die Signale IRQ4 bzw. IRQ3
- Realisierung von zwei unabhängigen Übertragungskanälen A und B (Vollduplex-Betrieb)
- Busschnittstelle entsprechend Systembusrichtlinie für ESER-PC (KROS 5194)
- Einsatz von UA 855D/PIO, UA 8560D/SIO und UA 857D/CTC
- Schnittstellen V.24 und IFSS gemeinsam über Steckverbinder für Kanal A und B
- Aktiv- oder Passivmoduseinstellung für Sende- und Empfangsseite IFSS
- Datenübertragung bis 9600 Baud bei max. 500 m Kabelweg für IFSS; Konstantstromquellen lassen Leitungswiderstände bis 300 Ohm zu.

2. Technische Daten

Steckkarte 360 mm x 100 mm DKL

Steckverbinder

Systembus: X1= Buchsenleiste 402-96polig nach EBS-GO 4007

Kanal A: X2= Buchsenleiste F202-15polig LPA abgew. nach EBS-GO 4006

Kanal B: X3= Buchsenleiste F202-15polig LPA abgew. nach EBS-GO 4006

Betriebsspannungen 5P (+5V ±5%)
12P (+12V ±5%)
12N (-12V ±5%)

Interfaces

-Schnittstelle V.24 Signalpegel "EIN" = +3V ... +12V
"AUS" = -3V ... -12V
Übertragungsrate max. 20 kBit/s
Kabellänge (ohne MODEM) max. 15 m
Asynchronbetrieb

-Schnittstelle IFSS 20 mA - Stromschleife "HIGH" = 15 ... 25 mA
"LOW" = 0 ... 3 mA
galv. Trennung sende - und empfangsseitig
Übertragungsrate max. 9600 Baud
Kabellänge max. 500 m
Asynchronbetrieb

-Betriebsart Primär- oder Sekundäradapter, vollduplex

3. Konstruktiver Aufbau

Die bestückte Leiterplatte ist ein programmierbarer Datenübertragungsadapter zur seriellen Datenübertragung mit den Abmessungen 100 mm x 360 mm. Es ist eine durchkontaktierte Leiterplatte (DKL) des Typs 013-1202. Die bestückte Leiterplatte wird auf die Systemplatine (Typ 013-1200) aufgesteckt.
Die Maximalausstattung beinhaltet zwei voneinander unabhängige Kanäle zum Datenaustausch über das V.24-Interface oder das IFSS-Interface, wobei mit DIL-Schaltern pro Übertragungskanal die Interface-Art ausgewählt werden kann.
Die Verbindung zum Systembus (Stromversorgung, Steuersignale, Daten) bzw. zur Peripherie (Steuersignale, Daten) wird über folgende Steckverbindungen hergestellt:

1 x Buchsenleiste 402-96polig EBS-GO 4007
  - Steckverbinder X1: Systembus-Steckverbinder
2 x Buchsenleiste 202-15polig EBS-GO 4006/01-2-V
  - Steckverbinder X2: Peripherieanschluss Kanal A
  - Steckverbinder X3: Peripherieanschluss Kanal B

Auf der bestückten Leiterplatte sind im wesentlichen folgende Bauelemente eingesetzt:

- für die Busschnittstelle:	
Schaltkreis DS8286D (SE86)	= 8-Bit-bidirektionaler Bustreiber/ Empfänger (Daten)
Schaltkreis DS8205D (SE05)	= 1-aus 8-Decoder (Adressen)
Schaltkreis DS8216D (SE16)	= 4-Bit-bidirektionaler Bustreiber/ Empfänger (Steuersignale)
- zur Peripherie-Steuerung:	
Schaltkreis UA8560D (Q309)	= Serieller E/A-Baustein SIO/0 4MHz
Schaltkreis UA855D (Q308)	= Paralleler E/A-Baustein PIO
Schaltkreis DL257D (LY57)	= 4x 2 zu 1-Bit-Multiplexer
- zur Taktversorgung:	
Schaltkreis UA857D (Q312)	= Zähler-Zeitgeber-Baustein CTC
Schaltkreis DL193D (LX93)	= 4-Bit-Binärzähler (Taktuntersetzung OSC)
- für das V.24-Interface:	
Schaltkreis K170UP2 (PZ54)	= 4x Leitungsempfänger
Schaltkreis K170AP2 (PX50)	= 2x Leitungstreiber
- für das IFSS-Interface:	
Koppler MB104/5B	= Optokoppler
Schaltkreis 75450APC (PZ50)	= 2x Leitungstreiber

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Der Adapter ASC realisiert zwei unabhängige Übertragungskanäle A und B mit jeweils einem Sende- und Empfangskanal, die vollduplex betrieben werden können. Die Übertragungskanäle A und B können sowohl V.24-Interface als auch IFSS (Stromschleifeninterface) bedienen, wobei mit Schaltern pro Übertragungskanal die Interface-Art ausgewählt werden kann.
Die Übertragungssteuerung erfolgt mit einem SIO-Schaltkreis UA 8560D, wobei zur Unterstützung (Takterzeugung, Modussteuerung) ein CTC-Schaltkreis UA 857D und ein PIO-Schaltkreis UA 855D eingesetzt sind.

Der Adapter ist vollständig programmierbar und ist für asynchrone Übertragungen vorgesehen.
In der asynchronen Betriebsart sind Übertragungsraten zwischen 75 und 19200 Baud zulässig, wobei das Betriebssystem DCP 3.2 nur max. 9600 Baud unterstützt. Fünf bis acht Bit/Zeichen mit 1, 1 1/2 oder 2 Stop-Bits sind möglich.
Die wichtigsten Funktionsgruppen auf dem Asynchronadapter ASC sind:

- Adressdecodierung
- Buszyklusverlängerung
- Taktierung / Taktauswahl
- Übertragungssteuerung
- V.24-Schnittstelle mit Pegelwandler
- IFSS-Schnittstelle mit Konstantstromquellen und Optokoppler
- Multiplexer für Eigentest

4.2. Adressdecodierung

Der Adapter ASC wird von der CPU des PC EC 1834 über die E/A-Adressen 3E0 ... 3EB für den Primäradapter sowie über 2E0 ... 2EB für den Sekundäradapter angesprochen. Es sind entsprechend der Eigenschaften der verwendeten Schaltkreise SIO, PIO und CTC Schreib- und Lesevorgänge (/IOW, /IOR) zu den jeweiligen Ports möglich. Voraussetzung dafür ist eine Decodierung der oben aufgeführten Adressen, welche im wesentlichen über die Schaltkreise D07, D09 und D10 realisiert wird.
Dem Adapter ASC sind verbotene Adressenbereiche zugeordnet. Werden diese Adressenbereiche durch E/A-Befehle angesprochen, wird die BUS-Leitung /IOCHCK aktiviert und dadurch ein NMI des Prozessors ausgelöst [D06, D08, D09, D32, D33].
Verbotene Adressen des Primäradapters sind 3F8 ... 3FF, 3A0 ... 3AF sowie 380 ... 38F. Für den Sekundäradapter gelten diese sinngemäss mit 2xx.

4.3. Buszyklusverlängerung

Bei allen E/A-Operationen erfolgt eine Verlängerung des BUS-Zyklus durch Deaktivierung der IOCHRDY-Leitung entsprechend den Anforderungen der LSI-Schaltkreise um ein bzw. zwei Taktzyklen (abhängig von der Lage des Taktsignals C) [D02, D03]. E/A-Operationen mit dem Adapter ASC sind also 6 bis 7 Taktzyklen lang.

4.4. Taktierung / Taktauswahl

Aus dem Taktsignal CLK werden intern mittels Teilung durch 2 die Taktsignale C der drei LSI-Schaltkreise gebildet [D13].
Der OSC-Takt wird durch 16 geteilt [D18] und bildet die Takteingangsimpulse für die Zeitgeberkanäle 0 ... 3 des CTC-Schaltkreises (0,9216 MHz). Der CTC erzeugt die SIO-Empfänger- und Sendertakte. Die CTC-Kanäle 0 und 1 werden zu diesem Zweck als Zähler benutzt und entsprechend der erforderlichen Baud-Raten zwischen 75 und 19200 mit Zeitkonstanten geladen.
Über Ausgabe-Port B des PIO-Schaltkreises Bit 4 und 5 kann gesteuert werden, ob als Taktsignal für die SIO im Kanal A (TxCA, RxCA) der interne CTC-Takt oder die extern vom MODEM gelieferten Taktsignale XCLK bzw. RCLK benutzt werden [D16].

4.5. Übertragungssteuerung

Die Steuerung der Datenübertragung über beide Übertragungskanäle A und B des Adapters ASC erfolgt mit einem SIO-Schaltkreis UA8560D, der folgende Eigenschaften besitzt:

- 4 unabhängige serielle Ports: zwei Sender-, zwei Empfängerports
- asynchrone Daten mit 5, 6, 7 oder 8 Datenbits; 1, 1 1/2 oder 2 Stopbits und gerader, ungerader oder keiner Paritätserzeugung bzw. -prüfung
- Paritäts-, Überlauf-, Rahmenfehlererkennung
- Pausenerzeugung und -erkennung
- Taktvarianten: x1, x16, x32, x64
- Datenübertragungsraten: 0...550 kBit/s
- 8 Eingänge und Ausgänge zur Modemsteuerung
- volle Fähigkeit zur Arbeit nach HDLC einschliesslich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
- Betriebszustand Adressenerkennung bei SDLC/HDLC
- Betriebszustand mit Herausziehen von Synchronisationzeichen aus bisynchronen und monosynchronen Nachrichten
- empfangene Daten und Fehlerregister sind vierfach gepuffert, zu sendende Daten zweifach gepuffert
- sowohl CRC-16 als auch CRC nach CCITT (-0 und -1) vorgesehen
- gültige empfangene Daten vor Überschreiben geschützt.

Die Arbeit der SIO wird durch den Inhalt der Steuerregister bestimmt. Diese müssen programmiert werden, bevor die SIO irgendwelche Operationen ausführen kann.

Durch die spezielle Verwendung des SIO-Schaltkreises im Adapter ASC ist der Interruptvektor ohne Bedeutung, weil kein Interrupt-Bestätigungszyklus und kein RETI-Zyklus verwendet wird. Trotzdem kann bei der Steuerung der Übertragungsvorgänge wahlweise mit Interrupt gearbeitet werden. Durch einen Schalter wird ausgewählt, ob der Adapter ASC als Primäradapter (Aufschaltung des /INT-Ausganges auf IRQ4) oder als Sekundäradapter (Aufschaltung des /INT-Ausganges auf IRQ3) arbeiten soll. Voraussetzung dafür ist die Aktivierung des PIO-Ausganges B7 (PB7 = LOW) [D04].

4.6. V.24-Schnittstelle mit Pegelwandler

Folgende Schnittstellenleitungen werden vom Adapter ASC bedient:

- 101, 102, 103, 104, 105, 106, 107, 108, 109, 125
- 114, 115 (nur Kanal A).

Die Pegelwandlung für die Sendedaten und die Sendersignalleitungen erfolgt über Schaltkreise P150 [D25, D30, D31]. Die Pegelwandlung für die Empfangsdaten sowie für die Empfängersignalleitungen wird über Schaltkreise P154 [D19, D22, D24] realisiert.

4.7. IFSS-Schnittstelle mit Konstantstromquellen und Optokoppler

Das IFSS ist ein serielles Interface zur direkten Kopplung von Ein/Ausgabe-Geräten über Entfernungen bis zu 500 m in der speziellen Auslegung als 20 mA-Stromschleife. Der Datenaustausch erfolgt asynchron im Start-Stop-Verfahren über eine vieradrige Duplexverbindung.
Je zwei Leitungen bilden eine Stromschleife (Sende- und Empfangsschleife), die über optoelektronische Koppler zwecks Vermeidung von Erdschleifen (keine sicherheitstechnische galvanische Trennung!) mit der Ein- und Ausgabelogik verbunden ist. Der Strom in der Schleife beträgt im Zustand der logischen '1' (Ruhezustand = High-Pegel) 15...25 mA (Nennwert 20 mA) und im Zustand logisch '0' (Low-Pegel) 0...3 mA (Nennwert 2 mA).
Die Einspeisung des Schleifenstromes kann sowohl auf der Steckeinheit (Aktivmodus) als auch auf der jeweiligen Gegenstelle (Passivmodus) erfolgen. Zu diesem Zweck befinden sich auf der bestückten Leiterplatte vier Konstantstromquellen, die entsprechend des gewünschten Arbeitsmodus in die Sende- und Empfangsschleife über die jeweiligen DIL-Umschalter eingeschaltet werden können. Vier Konstantstromquellen sind deswegen erforderlich, weil sowohl für Kanal A als auch Kanal B Sender und Empfänger im Aktivmodus arbeiten können.
Die Sendedaten gelangen von der SIO über die Schaltkreise D26 bzw. D29 zu den Optokopplern U1 bzw. U2, welche über einen nachgeschalteten Transistor den Strom entsprechend der ankommenden Daten steuern. Als Konstantstromquellen dienen ebenfalls die Schaltkreise D26 bzw. D29.
Analog verläuft die Behandlung der Empfangsdaten. Dafür sind die Konstantstromquellen D27 bzw. D28 und die Optokoppler U3 bzw. U4 zuständig.

4.8. Multiplexer für Eigentest

Durch PIO-Ausgabekanal B, Bit6, wird der Testmodus eingestellt. Im Testmodus sind die V.24-Ausgangssignale in beiden Übertragungskanälen gesperrt, und es erfolgt in beiden Kanälen A und B eine Rückkopplung der Ausgangssignale auf die Eingangssignale mit folgender Zuordnung:

TxD	-	RxD	RTS	-	CTS
DTR	-	DSR	(PB0)	-	DCDA (PA7)
(PB1)	-	DCDB (PA3)	(PB2)	-	RIA (PA6)
(PB3)	-	RIB (PA2)			

Bei ausgeschaltetem Testmodus (Bit6 = LOW) ist die Rückkopplung aufgehoben. Der Testmodus kann nur in der V.24-Betriebsart verwendet werden, nicht in der IFSS-Betriebsart.
Hardwaremässig erfolgt die Realisierung der Rückkopplung über drei Multiplexer D20, D21 und D23.

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2 (Kanal A):

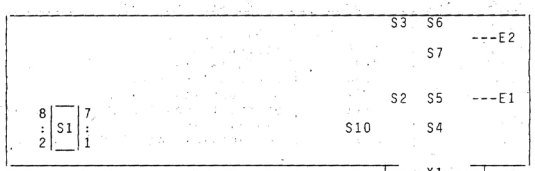
PIN	Kurzzeichen V.24	IFSS	ansteuerndes Signal	Bedeutung (V.24)
1	101		-	Schirmung
2	103		TxDA	Sendedaten
3	104		RxDA	Empfangsdaten
4	105		RTSA	Sendeaufforderung
5	106		CTSA	Sendebereitschaft
6	107		DSRA	Übermittlungseinrichtung bereit
7	102		-	Signalmasse
8	109		DCDA	Empfangsleitung Signalerkennung
9	-	SD+		
10	-	SD-		
11	115		REC CLK	Empfangsschrittakt
12	111	ED+	RSA	Auswahl Übertragungsgeschw.
13	108		DTRA	Datenendgerät bereit
14	125		RIA	Rufzeichen
15	114	ED-	XMIT CLK	Sendeschrittakt

Steckverbinder X3 (Kanal B):

PIN	Kurzzeichen V.24	IFSS	ansteuerndes Signal	Bedeutung (IFSS)
1	101		-	
2	103		TxDB	
3	104		RxDB	
4	105		RTSB	
5	106		CTSB	
6	107		DSRB	
7	102		-	
8	109		DCDB	
9	-	SD+		Sendedaten +
10	-	SD-		Sendedaten -
11	-			
12	-	ED+		Empfangsdaten +
13	108		DTRB	
14	125		RIB	
15	-	ED-		Empfangsdaten -

6. Einstellvorschrift / Wartungsvorschrift

Der Adapter ASC ist wartungsfrei.
Einstellmöglichkeiten auf dem Adapter ASC ergeben sich durch die Bestückung mit Brücken und DIL-Schalter.
Sie sind in folgender Lage zu finden:



Die Lage von S1 auf der Leiterplatte gilt auch für alle anderen Schalter!

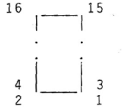
6.1. Einstellmöglichkeiten über Brücken

Brücke	eingelötet	ausgelötet
E1	SCHIRM A gegen Masse (= IFSS/Kanal A aktiv)	IFSS/Kanal A passiv
E2	SCHIRM B gegen Masse (= IFSS/Kanal B aktiv	IFSS/Kanal B passiv

Anmerkung: Die Brücken E1, E4 und E5 sind funktionstechnische Lösungen. Ein Entfernen dieser Brücken ist nicht vorgesehen. Beim Entfernen der Brücken E2 bzw. E3 sind gleichzeitig die Schalter zur Interface-Umschaltung (V.24/IFSS) und zum Aktiv-/Passivmodus einzustellen.

6.2. Einstellmöglichkeiten über DIL-Schalter

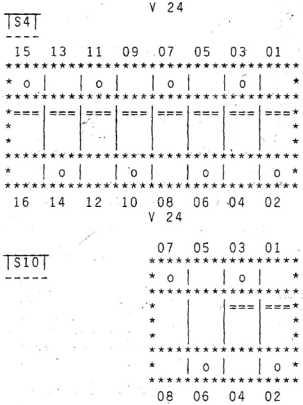
Achtung! Die Zählweise der Schalterpins ist nicht analog der der integrierten Schaltkreise!



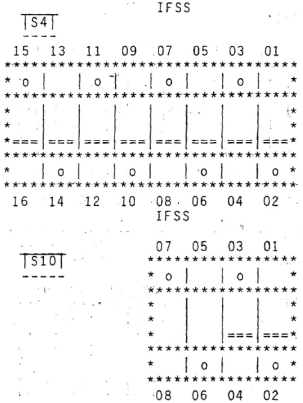
K A N A L A

V 24

```
|S4|
----
 15  13  11  09  07  05  03  01
*********************************
* o |   | o |   | o |   | o |   *
*********************************
*===|===|===|===|===|===|===|===*
*   |   |   |   |   |   |   |   *
*   |   |   |   |   |   |   |   *
*********************************
*   | o |   | o |   | o |   | o *
*********************************
 16  14  12  10  08  06  04  02
```



IFSS



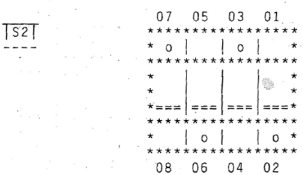
```
|S4|
----
 15  13  11  09  07  05  03  01
*********************************
* o |   | o |   | o |   | o |   *
*********************************
*   |   |   |   |   |   |   |   *
*   |   |   |   |   |   |   |   *
*===|===|===|===|===|===|===|===*
*********************************
*   | o |   | o |   | o |   | o *
*********************************
 16  14  12  10  08  06  04  02
```

V 24

```
|S10|
-----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

IFSS

```
|S10|
-----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*   |   |===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

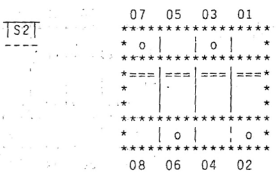


---

bei IFSS

SENDER

passiv



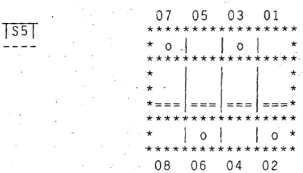
```
|S2|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*===|===|===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

aktiv

```
|S2|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*===|===|===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

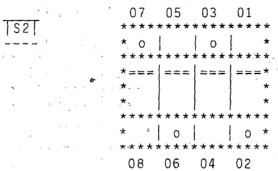
EMPFÄNGER

passiv



```
|S5|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*===|===|===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

aktiv

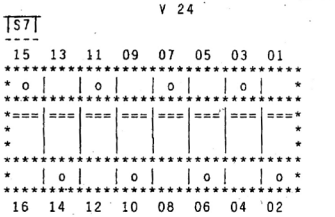


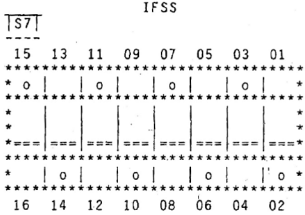
```
|S2|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*===|===|===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

K A N A L B

V 24

```
|S7|
----
 15  13  11  09  07  05  03  01
*********************************
* o |   | o |   | o |   | o |   *
*********************************
*===|===|===|===|===|===|===|===*
*   |   |   |   |   |   |   |   *
*   |   |   |   |   |   |   |   *
*********************************
*   | o |   | o |   | o |   | o *
*********************************
 16  14  12  10  08  06  04  02
```





IFSS

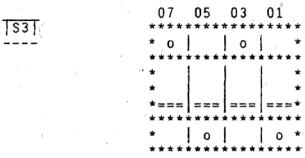
```
|S7|
----
 15  13  11  09  07  05  03  01
*********************************
* o |   | o |   | o |   | o |   *
*********************************
*   |   |   |   |   |   |   |   *
*   |   |   |   |   |   |   |   *
*===|===|===|===|===|===|===|===*
*********************************
*   | o |   | o |   | o |   | o *
*********************************
 16  14  12  10  08  06  04  02
```

---

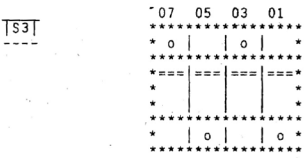
bei IFSS

SENDER

passiv



```
|S3|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*===|===|===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

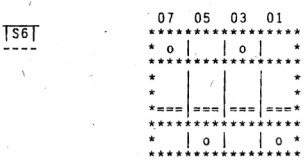


aktiv

```
|S3|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*===|===|===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

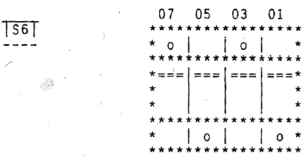
EMPFÄNGER

passiv



```
|S6|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*===|===|===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

aktiv

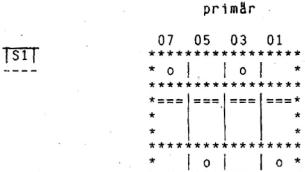


```
|S6|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*===|===|===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```

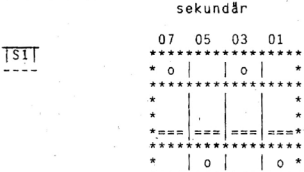
K A N A L A / B

primär

```
|S1|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*===|===|===|===*
*   |   |   |   *
*   |   |   |   *
*****************
*   | o |   | o *
*****************
 08  06  04  02
```



sekundär



```
|S1|
----
 07  05  03  01
*****************
* o |   | o |   *
*****************
*   |   |   |   *
*   |   |   |   *
*===|===|===|===*
*****************
*   | o |   | o *
*****************
 08  06  04  02.pa
```

Betriebsdokumentation

D r u c k e r a d a p t e r (C E N T R O N I C S)
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Centronics - Schnittstelle
4.2. Allgemeiner Ablauf
4.2.1. Ausgabe von Druckzeichen
4.2.2. Ausgabe von Kommandos
4.2.3. Übernahme der Druckermeldungen
4.2.4. Testmodus
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift / Wartungsvorschrift

1.62.540133.8 (GER)
085-3-000
852.53.01.007

Stand: 11/87

1. Verwendung und Einordnung

Der Druckeradapter dient dem Anschluss eines Druckers an den PC EC 1834.
Es wird sich dabei vorzugsweise um die grafikfähigen Hard-Copy-Drucker robotron K6313 / K6314 handeln. Grundsätzlich sind jedoch alle Druckertypen mit Centronics - Schnittstelle und PC/XT-kompatiblen Steuercodes anschliessbar.

2. Technische Daten

Steckkarte	172,5 mm x 100 mm DKL
Steckverbinder	
- zum Systembus:	Buchsenleiste X1 402-96polig nach EBS-GO 4007
- zum Drucker:	Buchsenleiste X2 203-25polig nach EBS-GO 4006
Stromversorgung	5P (+5V ±5%)
Interface	Parallelschnittstelle C e n t r o n i c s
Betriebsart	bitparallel, byteserieller Informationsaustausch

3. Konstruktiver Aufbau

Der Druckeradapter ist eine Zweiebenenleiterplatte der Abmessungen 172 mm x 100 mm. Die Verbindung zum Systembus des PC EC 1834 wird über eine 96-polige indirekte Buchsenleiste realisiert. Der Schnittstellentyp zum Drucker ist Centronics. Dafür steht eine 25-polige Cannon-Buchsenleiste zur Verfügung.
Auf der bestückten Leiterplatte sind im wesentlichen folgende Bauelemente eingesetzt:

- Schaltkreis DL 155 = doppelter 2-Bit-Binärdecoder/Demultiplexer
- Schaltkreis DS 8216/ DS 8286 = 4- bzw. 8-Bit bidirektionaler Bustreiber
- Schaltkreis DL 540/ DL 541 = 8-Bit-Inverter bzw. nichtinvertierender Leitungstreiber
- Schaltkreis DL 374 = 8-fach D-FF
- Schaltkreis DL 175 = 4-fach D-FF

4. Funktionsbeschreibung

4.1. Centronics- Schnittstellensignale

Die Centronics - Schnittstelle dient zur bitparallelen, byteseriellen Informationsübertragung zwischen dem PC EC 1834 und dem Drucker.
Sie verwendet die folgenden Schnittstellensignale:

/STROBE	(HIGH)	-->	Signale auf den Datenleitungen sind ungültig
	(LOW-Imp.)	-->	Signalkombination auf den Datenleitungen wird vom Drucker eingelesen
DATA 1-8		-->	Datenleitungen
/ACKNLG	(LOW-Imp.)	<--	Druckerempfänger hat die Signale auf den Datenleitungen übernommen und ist weiter empfangsbereit

BUSY	(HIGH)	<--	Drucker kann nicht empfangen, weil - vorheriger Empfang noch nicht beendet ist - OFF-LINE-Status - Fehler-Status
SELECT	(LOW)	<--	Drucker ist nicht empfangsbereit
/AUTO-FEED XT	(LOW)	-->	Drucker führt nach Beendigung des Druckes automatisch einen Line-feed durch (Beachte DIL-Schalter im Drucker!)
/INIT	(LOW)	-->	Drucker wird rückgesetzt (analog Einschaltvorgang)
/ERROR	(LOW)	<--	Der Drucker signalisiert folgende Zustände: 1. PAPER-END-Status 2. OFF-LINE-Status 3. ERROR-Status
/SELECT IN	(LOW)	-->	Der Drucker kann die Signalkombinationen auf den Datenleitungen einlesen und ausführen
	(HIGH)	-->	Signalaustausch am Interface wird realisiert; der Drucker führt jedoch keine Operationen durch (Beachte DIL- Schalter im Drucker!)
PE	(HIGH)	<--	Papierende im Drucker ist erreicht

4.2. Allgemeiner Ablauf

Die Druckersteuerung benutzt die Toradressen 378H ... 37AH. Die genannten Adressen bereiten zusammen mit /IOR, /IOW und AEN den nach beiden Richtungen stattfindenden Signalaustausch vor.

4.2.1. Ausgabe von Druckzeichen

Am 2-Bit-Binär-Decoder/Demultiplexer [08] wird durch /IOW = LOW in Verbindung mit der decodierten Toradresse [D15] der Kanal 2 geöffnet. Soll ein Druckzeichen ausgegeben werden, muss A0 und A1 = LOW den Ausgang 08-09 auf HIGH schalten.
Unter der Voraussetzung /IOR = HIGH werden die anliegenden Daten am Treiber H24 in Richtung Drucker geschaltet und können vom Latch L24 übernommen werden.

4.2.2. Ausgabe von Kommandos

Der Ablauf ist analog, nur werden mit A0= LOW und A1 = HIGH die infrage kommenden Datenbusleitungen über die Latch L8 und L16 geleitet. Damit können die Signale /STROBE, /AUTO FEED XT, /INIT oder /SELECT IN gebildet und zum Drucker gesendet werden.
Liegt bei einer Kommandoausgabe die Datenbusleitung D4 auf HIGH, wird das FF L8 gesetzt. Dies dient der Freigabe einer Interruptauslösung durch /ACKNLG über IRQ7.

4.2.3. Übernahme der Druckermeldungen

/IOR = LOW aktiviert den Kanal 1 des Decoders [08] und A0 = HIGH öffnet den Treiber H17. Damit können die Signale /ERROR, SELECT, PE, /ACKNLG oder BUSY über den Treiber H24 auf den BUS des PC EC 1834 gelegt werden.
Mit einem LOW-Impuls auf der Leitung /ACKNLG signalisiert der Drucker, dass er die Signale auf den Datenleitungen übernommen hat und weiter empfangsbereit ist. Dies kann dazu benutzt werden, einen Interrupt über IRQ7 auszulösen [D2]. Voraussetzung dafür ist, wie unter Pkt. 4.2.2. beschrieben, dass das FF L8 gesetzt ist.

4.2.4. Testmodus

Unter der Voraussetzung einer gültigen E/A-Adresse und /IOR = LOW können in Abhängigkeit vom Potential der Adressleitungen A0 und A1 sowohl die auszugebenden Druckzeichen als auch die Kommandos zum Drucker rückgekoppelt und getestet werden. Dieses "Zurücklesen der Signale" geschieht bei aktivem /IOR analog dem Vorgang der Übernahme von Druckermeldungen über die Schaltkreise 024 (Druckzeichen-Rückkopplung) bzw. 017/1 (Kommando-Rückkopplung).

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	
1	/STROBE	
2	DATA 1	
3	DATA 2	
4	DATA 3	
5	DATA 4	
6	DATA 5	
7	DATA 6	
8	DATA 7	
9	DATA 8	
10	/ACKNLG	(acknowledge)
11	BUSY	
12	PE	(paper end)
13	SELECT	
14	/AUTO FEED XT	
15	ERROR	
16	/INIT	
17	/SELECT IN	
18	GND	(ground)
.	GND	
.	GND	
.	GND	
25	GND	

6. Einstellvorschrift / Wartungsvorschrift

Auf dem Druckeradapter befinden sich keine Einstellelemente.
Die Steckkarte ist wartungsfrei.

Betriebsdokumentation

Adapter für serielle Kommunikation ASK (Typ 013-1211)
Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

Hinweis!
Diese Dokumentation befindet sich weiter in Bearbeitung und wird nach Vorliegen zusätzlicher Angaben seitens des Entwicklers vervollständigt.

1.62.540120.0 (GER)
085-3-000
852.53.01.003

Stand: 03/88

1. Verwendung und Einordnung

Der Adapter für serielle Kommunikation (ASK) ist eine Steckkarte, welche zwei unabhängige Übertragungskanäle mit jeweils einem Sende- und Empfangskanal bedient. Die Übertragungskanäle können sowohl die Kommunikation über V.24 als auch über IFSS realisieren, wobei mit Schaltern die Interface-Art pro Übertragungskanal ausgewählt werden kann.
Der Adapter ASK ist vollständig programmierbar und kann für asynchrone und synchrone Übertragungsverfahren verwendet werden, wobei nur der Übertragungskanal A für Synchronbetrieb geeignet ist.
Bei Asynchronbetrieb kann der Adapter im PC zweimal eingesetzt werden, wodurch in diesem Fall vier serielle Schnittstellen zur Verfügung stehen. Dabei arbeitet der Primäradapter in einem anderen Adressbereich als der Sekundäradapter.

2. Technische Daten

Steckkarte	360 mm x 100 mm DKL
Steckverbinder	1 x Buchsenleiste X1 96-polig 402-96/EBS-G0 4007 2 x Buchsenleiste X1/X2 15-polig 202-15/EBS-G0 4006
Betriebsspannungen	5P (+5V ±5%) 5N (-5V ±5%) 12P (+12V ±5%) 12N (-12V ±5%)
Interfaces	
- IFFS	20 mA-Stromschleife "HIGH" = 15...25 mA "LOW" = 0...3 mA galvanische Trennung sende- und empfangsseitig Übertragungsrate max. 9600 Baud Kabellänge max. 500 m
- V.24	Signalpegel "EIN" = +3V...+12V "AUS" = -3V...-12V Übertragungsrate max. 20 kBit/s Kabellänge (ohne MODEM) max. 15 m

3. Konstruktiver Aufbau

Der Adapter für serielle Kommunikation ASK Typ 13-1211 ist eine durchkontaktierte Leiterplatte der Grösse 360 mm x 100 mm. Sie ist eine Weiterentwicklung des seriellen Adapters ASC (Typ 13-1202) und löst diesen ab.
Über die 96-polige indirekte Buchsenleiste X1 wird die Verbindung zum Systembus gewährleistet. Zur Seite der Interfaces besitzt der Adapter zwei 15-polige Subminiatur-D-Steckverbinder (Cannon) für beide Kanäle. Sie dienen jeweils sowohl für die Ansteuerung der IFSS- als auch der V.24-Signale; die Auswahl erfolgt über Schalter S4 bzw. S7. Nur der untere Steckverbinder X2 (Kanal A) ist für Synchronbetrieb geeignet.
Die Übertragungssteuerung wird über einen SIO-Schaltkreis realisiert, wobei zur Unterstützung (Takterzeugung, Modussteuerung) ein TIMER-Schaltkreis PIT und ein PPI-Schaltkreis eingesetzt sind.

4. Funktionsbeschreibung

Eine Funktionsbeschreibung des gesamten Adapters ASK einschliesslich Blockschaltbild ist erst nach Vorliegen der Stromlaufpläne möglich!

4.1. Systembus-Anbindung

Der Adapter ASK wird von der CPU der Systemplatine als reine E/A-Einrichtung im Adressbereich 3E0H...3EBH für den Primäradapter sowie im Adressbereich 2E0H...2EBH für den Sekundäradapter betrieben. Es sind entsprechend der Eigenschaften der verwendeten LSI-Schaltkreise Schreib- bzw. Lesevorgänge (/IOW, /IOR) zu den jeweiligen E/A-Ports möglich.
Sämtliche E/A-Ports sind 8-Bit-Einrichtungen. Demzufolge dürfen von der CPU aus nur 8-Bit-E/A-Befehle verwendet werden.
Das Taktsignal CLK wird intern halbiert und ergibt Takt C der SIO. Aus dem Taktimpuls OSC werden mittels Teilung durch 8 die Takteingangsimpulse für die Zeitgeberkanäle 0...2 des TIMER-Schaltkreises gebildet (1,8432 MHz).
Bei der Steuerung der Übertragungsvorgänge kann wahlweise mit Interrupt gearbeitet werden. Dafür stehen die Interrupt-Leitungen IRQ3 oder IRQ4 zur Verfügung.
Im Asynchronbetrieb wird der Interrupt-Ausgang der SIO entweder auf IRQ4 (Primäradapter) oder IRQ3 (Sekundäradapter) geschaltet, so dass ein Parallelbetrieb beider Adapter mit Interrupt möglich ist.
Im Synchronbetrieb (BSC- oder SDLC-Modus) wird der Interrupt-Ausgang der SIO auf IRQ4 und der Ausgang des Interrupt-FF auf IRQ4 geschaltet.
Dem Adapter ASK sind folgende verbotene Adressenbereiche zugeordnet:

3F8H...3FFH : Primäradapter (asynchron)
3A0H...3AFH : BSC-Modus
380H...38FH : SDLC-Modus
2F8H...2FFH : Sekundäradapter (asynchron)

Werden diese Adressenbereiche durch E/A-Befehle angesprochen, wird ein NMI an den Prozessor ausgelöst.

4.2. Verwendung des programmierbaren peripheren Interface-Schaltkreises PPI

Der PPI-Schaltkreis wird auf dem Adapter ASK dazu verwendet, um bestimmte Steuersignale zu erzeugen bzw. um spezielle V.24-Eingangssignale und TIMER-Signale abprüfen zu können. Er wird im Mode 0 verwendet. Port A ist auf Eingabe, Port B auf Ausgabe und Port C auf Eingabe/Ausgabe programmiert.

4.3. Verwendung des TIMER-Schaltkreises PIT

Der Schaltkreis PIT wird auf dem Adapter ASK für die Bildung der SIO-Takte im Asynchronbetrieb sowie für die Erzeugung von Time-Out-Interrupts im Synchronbetrieb benutzt. Er enthält drei 16-Bit-Zähler, die unabhängig voneinander geladen und gelesen werden können. Die Zähler 0 bzw. 1 dienen der Baud-Raten-Erzeugung im Asynchronbetrieb, die Zähler 1 bzw. 2 werden für die Time-Out-Erzeugung im Synchronbetrieb benutzt. Alle drei Zähler werden mit dem durch 8 geteilten OSC-Takt des Systembusses taktiert.

4.4. Verwendung der SIO

Die Steuerung der Datenübertragung für beide Übertragungskanäle A und B des Adapters ASK erfolgt mit einem SIO-Schaltkreis UA 8560D. Er besitzt folgende Eigenschaften:

- vier unabhängige serielle Ports (2 x Sender, 2 x Empfänger)
- asynchrone Daten mit 5...8 Datenbits, 1, 1 1/2 oder 2 Stopbits und gerader, ungerader oder keiner Paritätserzeugung bzw. -prüfung
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Pausenerzeugung und -erkennung
- Taktvarianten: x1, x16, x32, x64
- Datenübertragungsraten: 0...550 kBit/s
- acht Ein- bzw. Ausgänge zur MODEM-Steuerung
- volle Fähigkeit zur Arbeit nach HDLC einschliesslich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von SYN-Zeichen und Flags
- Betriebszustand Adresserkennung bei SDLC/HDLC
- Betriebszustand mit Herausziehen von SYN-Zeichen aus bisynchronen oder monosynchronen Nachrichten
- empfangenen Daten und Fehlerregister sind vierfach gepuffert; zu sendende Daten sind zweifach gepuffert
- sowohl CRC-16 als auch CRC nach CCITT vorgesehen
- gültige empfangene Daten vor Überschreiben geschützt

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2 (Kanal A):

PIN	Kurzzeichen V.24	Kurzzeichen IFSS	ansteuerndes Signal	Bedeutung (V.24)
1	101		-	Schirmung
2	103		TxDA	Sendedaten
3	104		RxDA	Empfangsdaten
4	105		RTSA	Sendeaufforderung
5	106		CTSA	Sendebereitschaft
6	107		DSRA	Übermittlungseinrichtung bereit
7	102		-	Signalmasse
8	109		DCDA	Empfangsleitung Signalerkennung
9	-	SD+		
10	-	SD-		
11	115		REC CLK	Empfangsschrittakt
12	111	ED+	RSA	Auswahl Übertragungsgeschw.
13	108		DTRA	Datenendgerät bereit
14	125		RIA	Rufzeichen
15	114	ED-	XMIT CLK	Sendeschrittakt

Steckverbinder X3 (Kanal B):

PIN	Kurzzeichen V.24	IFSS	ansteuerndes Signal	Bedeutung (IFSS)
1	101		-	
2	103		TxDB	
3	104		RxDB	
4	105		RTSB	
5	106		CTSB	
6	107		DSRB	
7	102		-	
8	109		DCDB	
9	-	SD+		Sendedaten +
10	-	SD-		Sendedaten -
11	-			
12	-	ED+		Empfangsdaten +
13	108		DTRB	
14	125		RIB	
15	-	ED-		Empfangsdaten -

6. Einstellvorschrift

Mit Hilfe von 10 Schaltern auf dem Adapter ASK ist die Auswahl unterschiedlicher Betriebsarten möglich:

- E/A-Adressenbereich
  3E0H...3EBH (Primäradapter) bzw. 2E0H...2EBH (Sekundäradapter)
- Interrupt-Niveau
  IRQ4 (Primäradapter) bzw. IRQ3 (Sekundäradapter)
- BSC- bzw. SDLC-Modus
- Interfaceart
  IFSS bzw. V.24 in beiden Übertragungskanälen A und B
- IFSS-Steuermodus
  Aktiv- und Passivmodus sende- und empfangsseitig in beiden Übertragungskanälen A und B

Verwendung der einzelnen Schalter:

S 1	Primär-/Sekundäradapter
S 2	Sendeseite Kanal A: Aktiv-/Passivmodus
S 3	Sendeseite Kanal B: Aktiv-/Passivmodus
S 5	Empfangsseite Kanal A: Aktiv-/Passivmodus
S 6	Empfangsseite Kanal B: Aktiv-/passivmodus
S 4	Kanal A: V.24/IFFS
S 7	Kanal B: V.24/IFSS
S 8	BSC-Modus
S 9	SDLC-Modus
S10	PIN 12 (Kanal A): ED+ / RATE SELECT
	PIN 15 (Kanal A): ED- / XMIT CLK

Nähere Erläuterungen und Lage der Schalter werden später hinzugefügt!

7. Wartungsvorschrift

Der Adapter ASK ist wartungsfrei.

****

Betriebsdokumentation

S t r o m v e r s o r g u n g s e i n h e i t

Personalcomputer robotron EC 1834

****

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Spannungserzeugung
4.1.1. Hilfsspannungserzeugung
4.1.2. Erzeugung der Hauptspannungen
4.1.2.1. Spannungen +5V/+12V
4.1.2.2. Spannungen -12V/-5V
4.2. Messverstärker Sekundärseite
4.3. Einschaltreihenfolge
4.4. Bedeutung und Lage der LED's auf der Grundleiterplatte
4.5. Anordnung der Leiterplatten
4.6. Steckverbinderbelegung
4.7. Blockschaltbild
5. Wartung und Reparatur

1.62.540130.5 (GER)
085-3-000
854.53.01.001

Stand: 03/88

1. Verwendung und Einordnung

Die Stromversorgung der Systemeinheit (SV-GE) des PC EC 1834 besteht aus einer kompakten Baugruppe und ist in der Systemeinheit hinter dem Aufnahmerahmen für Hard-Disk und Floppy-Disk angeordnet. Der Netzschalter befindet sich an der Vorderseite und wird durch einen Druckschalter über einen Stössel an der Frontseite der Systemeinheit betätigt.
Die Betriebsspannungen für die Systemplatine und deren Erweiterungen (Adapter) werden auf zwei Steckverbinder herausgeführt und an die Systemplatine angesteckt. Weiterhin sind drei Anschlussleisten aus dem Gehäuse der SVE herausgeführt, an welche die Stromversorgungskabel externer Verbraucher (z.B. Floppy-Disk und Hard-Disk) angeschlossen werden können.
Die Stromversorgungseinheit beinhaltet folgende Funktionsgruppen:

1. Stromversorgung für die Systemeinheit und externe Verbraucher
2. Funkentstörung des PC
3. Belüftung der Systemeinheit

2. Technische Daten

Spannung	max. Ausgangsstrom	min. Ausgangsstrom
U1 = 5,1 V ± 3%	I1 = 20 A	I1 = 2 A
U2 = 12 V ± 3%	I2 = 6 A	I2 = 0 A
U4 = -5 V ± 5%	I3 = 250 mA	I3 = 0 A
U3 = -12 V ± 4%	I3 = 300 mA	I3 = 0 A

Steckverbinder: 1 x Buchsenleiste 8-polig 6408-101 TGL 37203
1 x Buchsenleiste 6-polig 6406-101 TGL 37203
2 x Buchsenleiste 3-polig 6406-101 TGL 37203

max. Eingangsleistung: ca. 265 W

Netzeingangsspannung : 220 V (+10,-15)%

Netzspannungsfrequenz: (47...63)Hz

Netzabsicherung : 2 x Feinsicherung F 2,5 A

Schutzgrad : IP 20

Die Ausgangsspannungen sind Sicherheitskleinspannungen nach ST RGW 3743-82.
Funkentstörgrad nach VDE 0871 Kurve B und GOST 23511-79 Kurve 1
Der Lüfterbaustein wird von der Spannung 12 P gespeist.

3. Konstruktiver Aufbau

Die Stromversorgungseinheit ist eine kompakte Baugruppe, die alle Funktionsgruppen für die Erzeugung der Betriebsspannungen beinhaltet. An der Rückwand sind die Netzeingangsbuchse und der Lüfter angeordnet. Dieser ist aus Platzgründen Bestandteil der SVE und dient in erster Linie der Belüftung der Systemeinheit. Auch die trapezförmige Gestaltung der Oberseite des SVE-Gehäuses fördert den Luftdurchsatz in der Systemeinheit.
Die elektronischen Baugruppen sind in ihrer Gesamtheit, mit Ausnahme des Netzfilters, auf der Grundleiterplatte (GPS) angeordnet.

Diese ist bestückt mit dem Netzschalter, den Netzsicherungen, der Hilfsspannungserzeugung sowie den Übertragern und den Ladeelkos. Die anderen Funktionsgruppen sind auf der Grundleiterplatte als separate Leiterkarten vertikal steckbar angeordnet. Dies betrifft Netzgleichrichtung mit Anlaufschaltung (EING), die Regler für 5P und 12P (RPS5 und RPS12), den Messverstärker für die Spannungskontrolle (MSS) sowie die Spannungserzeugung der 5N und 12N (NEGR). Alle Spannungen werden auf zwei Steckverbinder herausgeführt. An eine Anschlussleiste mit 5P, 12P und Masse können externe Verbraucher angeschlossen werden.

4. Funktionsbeschreibung

4.1. Spannungserzeugung

Die Spannungserzeugung für U1 und U2 erfolgt mittels zweier sich synchronisierender Hochspannungsflusswandler. Von einer vom 12 P-Regler erzeugten Hilfsspannung wird die negative Spannung U3 und von dieser U4 abgeleitet und beide durch Festspannungsregler ausgeregelt.
Die Zuführung der Netzspannung erfolgt über einen 3-poligen Netzstecker, der an der Rückseite des Stromversorgungsgehäuses montiert ist. Die Netzspannung gelangt über Netzfilter und 2,5 A-Sicherungen zum Netzschalter. Anschliessend wird die Netzspannung gleichgerichtet und geglättet.

4.1.1. Hilfsspannungserzeugung

Im Einschaltmoment wird die positive Hilfsspannung aus der positiven Betriebsspannung, die negative Hilfsspannung aus einer Z-Diode [V 5] in der Anlaufschaltung (BLP-EING) abgeleitet. Über Festspannungsregler B 3170 (+UH) und B 3370 (-UH) [V7,V18] werden die Hilfsspannungen auf + 12 V und - 5 V stabilisiert.
Nach Anlauf der Hauptspannung + 5 V werden die Rohspannungen für die Erzeugung der Hilfsspannungen aus separaten Wicklungen des Wandlers L1 für 5P abgeleitet [Wicklung 11,12 und 7,8].

4.1.2. Erzeugung der Hauptspannungen

4.1.2.1. Spannungen +5V/+12V

Die Erzeugung und Regelung einer der Spannungen teilt sich in die Funktionsgruppen:

* Takterzeugung, Steuerung des Hochspannungsschalttransistors und Schalttransistor
* Leistungsübertrager, Optokoppler zur Übertragung von Sekundär- zur Primärseite
* Ausgangsspannungsmessung und Steuerung der Ausgangsspannungen

Der Anlauf der Spannung +5V erfolgt nach dem Aufbau der Hilfsspannungen +12V und -5V. Der Regelschaltkreis B 260 [A1] beginnt mit ca. 50 kHz zu takten und steuert mit diesem Takt den Schaltkreis B 4002 [A2] an. Dieser dient der optimalen Steuerung des Hochspannungsschalttransistors [V1]. Der Schalttransistor überträgt die Energie auf die Sekundärseite des Wandlers L1, aus der die 5P geregelt wird. Am Wandler L1 werden, wie schon erwähnt, die beiden Hilfsspannungen sowie eine weitere Steuerspannung gebildet. Damit

erfolgt die Eigenversorgung des Wandlers mit Hilfsenergie.
Nach dem Wandler wird die Hauptspannung gleichgerichtet und geglättet [V16.1, V16.2, C18,22]. Unmittelbar an den Ladeelkos erfolgt der Abgriff der Betriebsspannung mittels Stromschienen, an deren Ende die Anschlussleiste für externe Verbraucher angebracht ist. An dieser befindet sich ausserdem der Anschlusspunkt für den Fernfühler. Bei Erreichen der Sollspannung erfolgt, ausgehend vom Fernfühler, die Reduzierung des Tastverhältnisses des B 260 über den Regelverstärker auf der BLP-MSS und Optokoppler [V6.1].
Während des Hochlaufens der 5P bis zum Aufbau der positiven Hilfsspannung durch den Wandler L1 wird das Anlaufen des 12P-Reglers verhindert [V8, V6.3]. Danach erfolgt der Anlauf der 12P analog zur Spannung 5P über den Wandler L2. An diesem Wandler werden die Hauptspannung 12P sowie die Rohspannung für die Bildung der 12N und 5N erzeugt.
Der Regler RPS5 (für +5V) synchronisiert den Regler RPS12 (für +12V), um Störspannungen zu vermeiden. Eine weitere Aufgabe der Synchronisation besteht darin, die Kollektorstrommessung des Hochspannungsschalttransistors zu ermöglichen, die nur über einen Messwiderstand [R4] während der Leitzeit des jeweiligen Schalttransistors durch den B 4002 erfolgt.
Die Regler haben weiterhin die Aufgabe, die Hilfsspannungen sowie die minimale Leitzeit und die Sättigungsspannung der Schalttransistoren zu überwachen.

4.1.2.2. Spannungen -12V/-5V

Die Erzeugung der negativen Hauptspannungen -12V und -5V erfolgt auf der Leiterplatte NEGR. Die am 12P-Übertrager erzeugte Rohspannung beträgt nach Gleichrichtung und Glättung ca. 18V. Daraus wird mittels Festspannungsregler B 3370 [V 2.1] die Spannung 12N erzeugt und aus dieser wiederum die Spannung 5N [V2.2], d.h. der Laststrom für beide negativen Spannungen muss vom 12N-Regler aufgebracht werden.

4.2. Messverstärker Sekundärseite (MSS)

Der MSS überwacht die Spannung +5V auf Überspannung [A 1.1, V 1]. Bei Überschreiten der Schwelle von ca. 6V wird über einen Thyristor [V 1.2] die Spannung 5P kurzgeschlossen und das Abschalten der SVE bewirkt.
Des weiteren befinden sich auf dem MSS die Messverstärker, die abhängig vom Fernfühler der 5P bzw. 12P mit dem Regelabweichungssignal [A 1.2, A 1.4] über Optokoppler [V 6.1, V 6.2] die Impulsbreitenregelung der B 260 steuern und somit die Ausgangsspannungen 5P und 12P regeln.
Bei Kurzschluss der 5P wird das STOP-Signal für die 12P zum Abschalten dieser Spannung gebildet [A 1.3, V 6.3], da der Messverstärker seine Betriebsspannung von der 5P erhält. Bei Kurzschluss der 5P wird somit kein Regelsignal erzeugt und die 12P könnte über ihren Toleranzbereich hinaus hochlaufen. Auch beim Anlauf der Stromversorgung verhindert das STOP12-Signal das Zuschalten des 12P-Reglers RPS12. Ein STOP-Signal für die 5P in Abhängigkeit vom Ausfall der 12P schaltet den Regler RPS5 nach Ablauf einer Zeitkonstante (RC-Glied, R 17.1, C 6) ab, wenn die 12P über längere Zeit im Kurzschlussbetrieb läuft, da dies den Ausfall des Lüfters zur Folge hat [A 3, V 2, V 6.4]. Anschliessend versucht die SVE wieder zu starten. Die negativen Hauptspannungen werden nicht überwacht.

Beachte: Die Regler RPS5 und RPS12 dürfen nur paarweise gewechselt werden

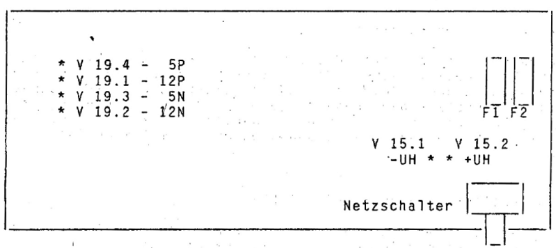
4.3. Einschaltreihenfolge

Einschaltreihenfolge: + 5V
+ 12V
- 12V
- 5V

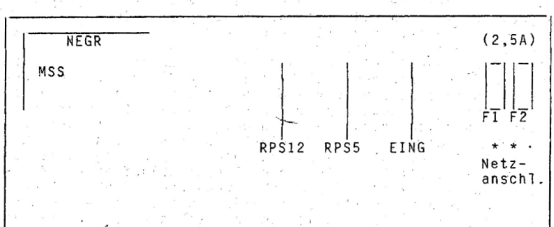
4.4. Bedeutung und Lage der LED's auf der Grundleiterplatte

Bedeutung der LED's : V 19.4 5P vorhanden)
V 19.1 12P vorhanden)
V 19.3 5N vorhanden)
V 19.2 12N vorhanden) auf Grundleiterplatte
V 15.1 -UH vorhanden) BLP-GPS
V 15.2 +UH vorhanden)
V 2 kein STOP 5P auf BLP-MSS

Lage der LED's auf der Grundleiterplatte



4.6. Anordnung der Leiterplatten

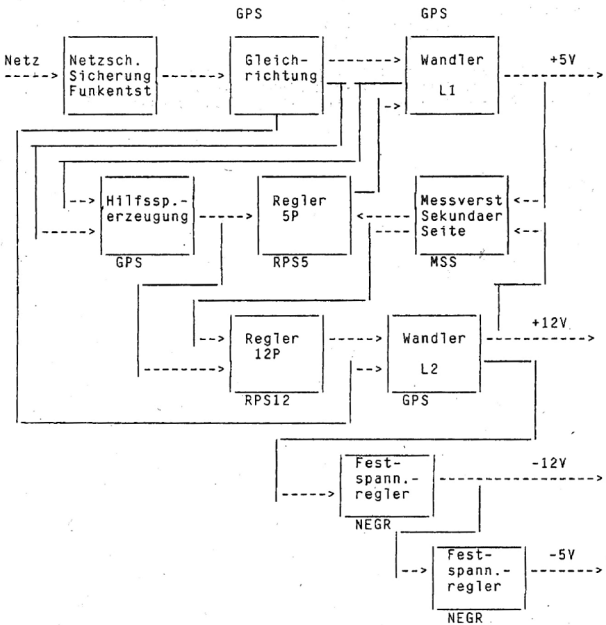


4.6. Steckverbinderbelegung

X 9.1	GND	X 10.1	GND	X 11.1	12P
2	5N	2	GND	2	GND
3	12N	3	GND	3	12N
		4	GND	4	GND
		5	5P	5	GND
		6	5P	6	5N
		7	5P		
		8	5P		

Anschluss 1 an der Buchsenleiste befindet sich am Codierschlitz

4.8.Blockschaltbild



5. Wartung und Reparatur

Die Stromversorgungseinheit (SVE) ist wartungsfrei.

Die Reparatur der SVE erfolgt nur in Verbindung mit dem "Reparaturarbeitsplatz für Stromversorgung EC 1834" durch dafür speziell ausgebildetes technisches Personal.

Ein Austausch der Leiterplatten RPS5, RPS12 und MSS ist ohne die Durchführung der entsprechenden Einstellungen in Verbindung mit der zu reparierenden SVE nicht möglich.
Vor dem Auswechseln der SVE ist die Anlage vom Netz zu trennen.

Beim Austausch des Lüfters ist auf die richtige Polung der Lüfteranschlüsse zu achten:

schwarz an GND
weiss an 12P

Beachte: Der Austausch des Lüfters darf nur an der vom Netz getrennten Anlage erfolgen. Bei Wiederinbetriebnahme ist die Funktion des Lüfters zu kontrollieren (bei geschlossener SVE).

Betriebsdokumentation

D i a g n o s e
Personalcomputer robotron EC 1834

Hinweis!
Diese Dokumentation befindet sich weiter in Bearbeitung und wird nach Vorliegen zusätzlicher Angaben seitens des Entwicklers vervollständigt.

Stand: 11/87

1.62.540134.6 (GER)
085-3-000
855.53.01.001

1. Fehlermeldungen der Diagnoseprogramme

0199 Fehler beim Auflisten der installierten Einheiten

DROCPU
01 Systemplatine

0101 CPU-Fehler
0102 Prüfsumme ROM falsch
0104 Interruptsystem falsch
0121 Kassette nicht unterstützt
0131 Timer fehlerhaft

DROM87
07 Arithmetischer Coprozessor

0701 DIL-Schalter 1 auf der Systemplatine falsch eingestellt
0702 8087-Fehler

DROKBR
03 Tastatur

0301 Rücksetzen fehlerhaft
0302 vom Bediener erkannter Fehler

GR1ADG2
04 Monochrom-Bildschirm-Adapter

0401 Fehler bei Bildschirmadaptertest
0408 Anzeigeattribute
0416 Zeichensatz
0424 80 x 25 - Bildschirm

05 Farbgrafik

0501 Fehler bei Bildschirmadaptertest
0508 Anzeigeattribute
0516 Zeichensatz
0524 80 x 25 - Bildschirm
0532 40 x 25 - Bildschirm
0540 320 x 200 - Grafik
0548 640 x 200 - Grafik

DR1DSK
06 Diskette

0601 Prüfung des FD-Controllers
0602 Formatieren Seite 0
0603 Lesen der Spuren 80, 40, 0 auf Seite 0

0604 Schreiben Seite 0, Spur 0, Sektor 1
0605 Prüfen Seite 0, Spur 0, Sektor 1
0606 Lese-/Schreibtest von 50 Sektoren der Diskette
0607 Prüfen der Zweiseitigkeit des Laufwerkes
0608 Formatieren Seite 1
0609 Lesen der Spuren 80, 40, 0 auf Seite 1
0610 Schreiben Seite 1, Spur 0, Sektor 1
0611 Prüfen Seite 1, Spur 0, Sektor 1

DR0FDK
17 Festplatte

1701 Adapterfehler
1702 Fehler beim Recalibrieren
1703 Positionierungstest-Fehler
1704 Positionierungsfehler
1705 Kein Sektor des letzten Zylinders kann gelesen werden
1706 Schreibtestfehler
1707 Lesefehler Zylinder 00 ohne vorhergehendes Schreiben
1708 Lesefehler Zylinder 00 nach vorhergehendem Schreiben

DR0PRN
9 Druckeradapter

0901 Fehler beim Test der Centronics-Karte

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
Annaberger Straße 93
Karl-Marx-Stadt
DDR–9010

Exporteur
Robotron-Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
Allee der Kosmonauten 24
Berlin
DDR–1140

1.62.540117.8 (GER)
850.53.01.001

Kv 1797/88 V 7 1 1765 N2